



<p>(51) 国際特許分類6 G01R 31/26</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/01776</p> <p>(43) 国際公開日 1999年1月14日(14.01.99)</p>
<p>(21) 国際出願番号 PCT/JP98/02979</p> <p>(22) 国際出願日 1998年7月2日(02.07.98)</p> <p>(30) 優先権データ 特願平9/176762 1997年7月2日(02.07.97) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 アドバンテス (ADVANTEST CORPORATION)[JP/JP] 〒179-0071 東京都練馬区旭町一丁目32番1号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 伊藤明彦(ITO, Akihiko)[JP/JP] 〒348-0052 埼玉県羽生市東5-2-35-201 Saitama, (JP) 小林義仁(KOBAYASHI, Yoshihito)[JP/JP] 〒361-0022 埼玉県行田市桜町1-11-6 Saitama, (JP) 増尾芳幸(MASUO, Yoshiyuki)[JP/JP] 〒361-0047 埼玉県行田市清水町4-5-405 Saitama, (JP) 山下 毅(YAMASHITA, Tsuyoshi)[JP/JP] 〒370-0603 群馬県邑楽郡邑楽町中野4911-A-201 Gunma, (JP)</p>	<p>(74) 代理人 弁理士 草野 卓, 外(KUSANO, Takashi et al.) 〒160-0022 東京都新宿区新宿四丁目2番21号 相模ビル Tokyo, (JP)</p> <p>(81) 指定国 CN, DE, JP, KR, SG, US.</p> <p>添付公開書類 国際調査報告書</p>	
<p>(54)Title: <b>TESTER FOR SEMICONDUCTOR DEVICES AND TEST TRAY USED FOR THE SAME</b></p> <p>(54)発明の名称 半導体デバイス試験装置及びこの試験装置に使用されるテストトレイ</p> <p>(57) Abstract An IC tester capable of shortening the time required until the testing of all the IC's finishes, wherein the depths (lengths in the direction of a Y-axis) of a thermostatted tank (4) and an exit chamber (5) are increased by a size substantially corresponding to the width (length of a shorter side) of a rectangular testing tray (3), and two parallel test tray transfer paths extending from a soaking chamber (41) in the tank (4) to the exit chamber (5) via a test section (42) in the tank (4) or a wide transfer path capable of simultaneously transferring two test trays arranged side-by-side in a direction crossing the two parallel test tray transfer paths are provided to enable two test trays to be transferred at once along the two parallel transfer paths or the wide transfer path.</p>		

# (57)要約

全ての I C の試験が終了するまでの時間を短縮することができる I C テスタを提供する。恒温槽 4 及びエグジット室 5 の奥行き (Y 軸方向の長さ) を長方形のテストトレイ 3 の横幅 (短辺の長さ) にほぼ相当する寸法だけ長くし、かつ恒温槽 4 内のソーク室 4 1 から恒温槽 4 内のテスト部 4 2 を経てエグジット室 5 に至るテストトレイの搬送経路をほぼ平行に 2 つ設け、或いはこのテストトレイの搬送経路を横切る方向に 2 枚のテストトレイを並べた状態で同時に搬送することができる幅の広い搬送経路にし、これら 2 つの搬送経路に沿って、或いはこの幅の広い搬送経路に沿って、2 枚のテストトレイを、同時に搬送できるように構成する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア 共和国	TR	トルコ
BJ	ベナン	GR	ギリシャ	ML	マリ	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	MN	モンゴル	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MR	モーリタニア	UG	ウガンダ
CA	カナダ	ID	インドネシア	MW	マラウイ	US	米国
CF	中央アフリカ	IE	アイルランド	MX	メキシコ	UZ	ウズベキスタン
CG	コンゴ	IL	イスラエル	NE	ニジェール	VN	ヴェトナム
CH	スイス	IN	インド	NL	オランダ	YU	ユーゴスラビア
CI	コートジボアール	IS	アイスランド	NO	ノールウェー	ZW	ジンバブエ
CM	カメルーン	IT	イタリア	NZ	ニュージーランド		
CN	中国	JP	日本	PL	ポーランド		
CU	キューバ	KE	ケニア	PT	ポルトガル		
CY	キプロス	KG	キルギスタン	RO	ルーマニア		
CZ	チェッコ	KP	北朝鮮	RU	ロシア		
DE	ドイツ	KR	韓国	SD	スーダン		
DK	デンマーク	KZ	カザフスタン	SE	スウェーデン		
EE	エストニア	LC	セントルシア	SG	シンガポール		
ES	スペイン	LI	リヒテンシュタイン				

## 明 細 書

## 半導体デバイス試験装置及びこの試験装置に使用されるテストトレイ

技術分野

この発明は、半導体デバイスの代表例である半導体集積回路素子を試験するのに好適な半導体デバイス試験装置に関し、詳しく言うと、半導体デバイスを試験するためにテスト部へ搬送し、このテスト部において半導体デバイスの電気的特性を試験し、試験終了後に試験済み半導体デバイスをテスト部から搬出し、試験結果に基づいて試験済み半導体デバイスを良品、不良品に仕分けする形式の半導体デバイス試験装置、並びにこの試験装置において使用され、所定の搬送経路に沿って循環移動されるテストトレイに関する。

背景技術

試験すべき半導体デバイス（一般にDUTと呼ばれる）に所定のパターンのテスト信号を印加してその電気的特性を測定する半導体デバイス試験装置（一般にICテストと呼ばれる）には、半導体デバイスをテスト部に搬送し、このテスト部において半導体デバイスをテストヘッド（試験用の各種の電気信号を供給及び受信する半導体デバイス試験装置の一部分）のデバイスソケットに電気的に接触させ、テスト終了後に試験済み半導体デバイスをテスト部から搬出し、テスト結果に基づいて試験済み半導体デバイスを良品、不良品に仕分けする半導体デバイス搬送処理装置（一般にハンドラと呼ばれる）を接続したことが多い。本明細書ではこの種のハンドラを一体的に接続した形式の半導体デバイス試験装置を単に半導体デバイス試験装置と称する。なお、以下においては、説明を簡単にするために、半導体デバイスの代表例である半導体集積回路素子（以下、ICと称す）を例に取って説明する。

まず、図11を参照して従来の半導体デバイス試験装置（以下、ICテストと称す）の一例の概略の構成について説明する。

図11はソーク室（soak chamber）41及びエグジット室（exit chamber）5

## 2

内の複数個のテストトレイ 3 を斜視図として示した IC テスタの概略の構成を説明するための平面図である。例示の IC テスタはソーク室 4 1 及びテスト部 4 2 を含む恒温槽 4、及びエグジット室 5（除熱／除冷室とも呼ばれている）の他に、これから試験を行なう IC（被試験 IC）を載置した汎用トレイ（カスタムトレイとも呼ばれる）1 や、分類された試験済みの IC を載置した汎用トレイ 1 等を格納する格納部 1 1 と、被試験 IC をテストトレイ 3 に転送、載置し直すローダ部 7 と、恒温槽 4 のテスト部 4 2 での試験が終了し、エグジット室 5 を経て搬送されて来た試験済みの IC をテストトレイ 3 から汎用トレイに転送、載置し直すアンローダ部 8 とを備えている。

恒温槽 4 のソーク室 4 1 はローダ部 7 においてテストトレイ 3 に積み込まれた被試験 IC に所定の高温又は低温の温度ストレスを与えるためのものであり、恒温槽 4 のテスト部 4 2 はソーク室 4 1 で所定の温度ストレスが与えられた状態にある IC の電氣的試験を実行するためのものである。ソーク室 4 1 で IC に与えられた所定の高温又は低温の温度ストレスを、試験中、その温度のままに維持するために、これらソーク室 4 1 及びテスト部 4 2 は内部雰囲気をも所定の一定の温度に維持することができる恒温槽 4 内に配置されている。

例示の IC テスタは、恒温槽 4 のソーク室 4 1 及びテスト部 4 2 と、エグジット室 5 とが図において左右方向（この方向を X 軸方向とする）にこの順序で左から右へと配置され、恒温槽 4 及びエグジット室 5 の前方側（X 軸方向と直角な図において上下方向（この方向を Y 軸方向とする）の下側）にローダ部 7 及びアンローダ部 8 がそれぞれ配置された構成（構造）を有する。つまり、図 1 1 から明瞭なように、恒温槽 4 のソーク室 4 1 の前方側にローダ部 7 が配置され、テスト部 4 2 及びエグジット室 5 の前方側にアンローダ部 8 が配置されている。

テストトレイ 3 はローダ部 7 → 恒温槽 4 のソーク室 4 1 → テスト部 4 2 → エグジット室 5 → アンローダ部 8 → ローダ部 7 と循環移動される。テストトレイ 3 はこの循環経路中に所定の個数だけ配されており、図示しないテストトレイ搬送手段によって図示の斜線を付した太い矢印の方向に順次に移動される。

ローダ部 7 において汎用トレイ 1 から被試験 IC が積み込まれたテストトレイ 3 は、ローダ部 7 から恒温槽 4 へ送られ、この恒温槽 4 の前方側に設けられた挿



## 3

入口からソーク室 4 1 内へ搬送される。ソーク室 4 1 には垂直搬送機構が装着されており、この垂直搬送機構は複数枚（例えば 5 枚）のテストトレイ 3 を所定の間隔を置いて積層状態で支持できるように構成されている。図示の例ではローダ部 7 からのテストトレイが一番上に支持され、一番下のテストトレイがソーク室 4 1 の下部において X 軸方向の右側に隣接した状態で連結されているテスト部 4 2 へ搬出される。従って、テストトレイ 3 は挿入方向とは直角な方向へ送り出されることになる。

垂直搬送機構の垂直方向（この方向を Z 軸方向とする）下方への移動によって一番上のテストトレイが一番下まで順次移動される間に、また、テスト部 4 2 が空くまで待機する間に、被試験 IC は高温又は低温の所定の温度ストレスを与えられる。テスト部 4 2 にはテストヘッド（図示せず）が配置されており、ソーク室 4 1 から一枚ずつ搬出されたテストトレイ 3 がテストヘッドの上に運ばれ、そのテストトレイに搭載された被試験 IC の内の所定数の被試験 IC が、テストトレイに搭載されたまま、テストヘッドに取り付けられたデバイスソケット（図示せず）と電氣的に接触させられる。テストヘッドを通じて一枚のテストトレイ上の全ての被試験 IC の試験が終了すると、テストトレイ 3 はテスト部 4 2 から再び X 軸方向右側へ搬送されてエグジット室 5 に送られ、このエグジット室 5 で試験済み IC の除熱又は除冷が行なわれる。

エグジット室 5 も上記ソーク室 4 1 と同様に垂直搬送機構を備えており、この垂直搬送機構により複数枚（例えば 5 枚）のテストトレイ 3 を積層状態で所定の間隔を置いて支持できるように構成されている。図示の例ではテスト部 4 2 からのテストトレイが一番下に支持され、一番上のテストトレイがアンローダ部 8 へ搬出される。垂直搬送機構の垂直方向上方への移動によって一番下のテストトレイが一番上まで順次移動される間に、試験済み IC は除熱又は除冷されて外部温度（室温）に戻される。

一般に、IC の試験はソーク室 4 1 において  $-5.5^{\circ}\text{C} \sim +12.5^{\circ}\text{C}$  のような広い温度範囲内の任意の温度ストレスを IC に与えて実施されるので、エグジット室 5 は、ソーク室 4 1 で被試験 IC に、例えば  $120^{\circ}\text{C}$  程度の高温を印加した場合には、送風により冷却して室温に戻し、また、ソーク室 4 1 で被試験 IC に、

例えば $-30^{\circ}\text{C}$ 程度の低温を印加した場合には、温風或いはヒータ等で加熱し、結露が生じない程度の温度に戻している。また、被試験 IC を載置するテストトレイ 3 は、通常、このような広い温度範囲に耐える、即ち、高/低温に耐える材料より形成されたものを使用しているが、被試験 IC を常温で試験する場合には、テストトレイ 3 を高/低温に耐える材料より形成する必要はない。

除熱又は除冷後、テストトレイ 3 はテスト部 4 2 から送り込まれた方向とは直角な方向（エグジット室 5 の前方側）へ搬送されてエグジット室 5 からアンローダ部 8 へ排出される。

アンローダ部 8 は試験結果のデータに基づいてテストトレイ上の試験済み IC をカテゴリ毎に分類して対応する汎用トレイに搭載するように構成されている。この例ではアンローダ部 8 はテストトレイ 3 を 2 つのポジション A と B に停止できるように構成されており、これら第 1 ポジション A と第 2 ポジション B に停止したテストトレイ 3 から試験済み IC を試験結果のデータに従って分類し、汎用トレイセット位置（停止位置）1 2 に停止している対応するカテゴリの汎用トレイ、図示の例では 4 つの汎用トレイ 1 a、1 b、1 c 及び 1 d に格納する。

アンローダ部 8 で空になったテストトレイ 3 はローダ部 7 に搬送され、ここで汎用トレイ 1 から再び被試験 IC が転送、載置される。以下、同様の動作を繰り返すことになる。

図 1 2 にテストトレイ 3 の一例の構造を示す。テストトレイ 3 は方形フレーム 3 0 に複数の棧 3 1 が平行かつ等間隔に形成されており、これら棧 3 1 の両側、及び棧 1 3 と対向するフレーム 3 0 の辺 3 0 a、3 0 b にそれぞれ複数の取付け片 3 6 が等間隔で突出形成されている。各棧 3 1 の両側の取り付け片 3 6 は、一方の側の取り付け片 3 6 が反対側の取り付け片 3 6 の中間に位置するように形成されており、同様に、フレーム 3 0 の辺 3 0 a、3 0 b の取り付け片 3 6 は対向する棧 3 1 の取り付け片 3 6 の中間に位置するように形成されている。これら対向する棧 3 1 間の空間、及び棧 3 1 と対向する辺 3 0 a、3 0 b との間の空間に、それぞれ多数個の IC キャリア 3 4 が併置状態で収納される。各 IC キャリア 3 4 は、これら空間において位置がずれている斜めに対向する 2 つの取付け片 3 6 を対角線方向の角部に含む 1 つの長方形の区画であるキャリア収納部 3 7 に収納

される。従って、図示の例では各棧 31 の一方の側に 16 個の取り付け片 36 が形成されているから、上記各空間に 16 個のキャリア収納部 37 が形成され、16 個の IC キャリア 34 が取り付けられる。図示の例では 4 つの空間があるから IC キャリア 34 は 1 つのテストトレイ 3 に  $16 \times 4$  個、合計で 64 個、取付けることができる。各 IC キャリア 34 は 2 つの取り付け片 36 にファスナ 35 により取り付けられる。

IC キャリア 34 の外形は同一形状、同一寸法をしており、その中央部に IC 素子を収納する IC 収容部 38 が形成されている。この IC 収容部 38 の形状及び寸法は収容する IC 素子の形状及び寸法に応じて決められる。IC 収容部 38 はこの例では方形の凹部とされている。IC 収容部 38 の外形はキャリア収納部 37 の対向する取り付け片間の空間に遊嵌する寸法に選択されており、IC 収容部 38 の両端部には取り付け片 36 上に配置される突出部がそれぞれ設けられている。これら両突出部にはファスナ 35 が挿通される取り付け用の穴 39 と、位置決め用ピンが挿入される穴 40 とがそれぞれ形成されている。

テストトレイ 3 は恒温槽 4 内で、例えば  $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$  という広い範囲の温度に曝されるから、 $125^{\circ}\text{C}$  のような高温及び  $-55^{\circ}\text{C}$  のような低温に十分に耐える材料によって構成される必要がある。この例では方形フレーム 30、棧 31 及び取り付け片 36 はアルミニウム合金により構成され、IC キャリア 34 は絶縁性合成樹脂により構成されている。

ローダ部 7 において汎用トレイ 1 からテストトレイ 3 に IC を転送する IC 搬送装置として、この例では、図 11 に示すように、ローダ部 7 の上部の X 軸方向の両端部に、Y 軸方向に延在するように架設された対向する平行な 2 本のレール 71A、71B と、これら 2 本のレール 71A、71B 間に架設され、Y 軸方向に移動可能にその両端部がこれら 2 本のレール 71A、71B に支持された可動アーム 71C と、この可動アーム 71C の延在する方向に、従って、X 軸方向に移動可能に可動アーム 71C に支持された図示しない可動ヘッド（この技術分野ではピックアンドブレース (pick-and-place) と呼ばれている）とによって構成された X-Y 搬送装置 71 を使用している。上記構成によれば、可動ヘッドは、テストトレイ 3 と汎用トレイ 1 との間を Y 軸方向に往復移動することができ、か

つ可動アーム 7 1 C に沿って X 軸方向に移動することができる。

可動ヘッドの下面には I C 吸着パッド (I C 把持部材) が上下方向に移動可能に装着されており、可動ヘッドの X-Y 軸方向移動とこの吸着パッドの下方への移動により、汎用トレイセット位置 1 2 に停止している汎用トレイ 1 に載置された I C に吸着パッドが当接し、真空吸引作用により I C を吸着、把持して汎用トレイ 1 からテストトレイ 3 に I C を転送する。吸着パッドは可動ヘッドに対して、例えば 8 個程度装着され、一度に 8 個の I C を汎用トレイ 1 からテストトレイ 3 に転送できるように構成されている。

なお、ローダ部 7 において汎用トレイセット位置 1 2 とテストトレイ 3 の停止位置との間にはプリサイザ (preciser) と呼ばれる I C の位置修正部材 2 が設けられている。この位置修正部材 2 は比較的深い凹部を有し、この凹部に吸着パッドに吸着されてテストトレイ 3 へ搬送される I C をいったん落とし込む。凹部の周縁は傾斜面で囲まれており、この傾斜面で I C の落下位置が規定される。位置修正部材 2 によって 8 個の I C の相互の位置を正確に規定した後、これら位置が規定された I C を再び吸着パッドにて吸着し、テストトレイ 3 に搬送する。このような位置修正部材 2 を設ける理由は、汎用トレイ 1 では I C を保持する凹部は I C の形状よりも比較的大きく形成されており、このため、汎用トレイ 1 に格納されている I C の位置には大きなバラツキがあり、この状態で吸着パッドにて吸着した I C を直接テストトレイ 3 に転送すると、テストトレイ 3 に形成された I C 収納凹部に直接落とし込むことができない I C が存在することになる。このために位置修正部材 2 を設け、この位置修正部材 2 でテストトレイ 3 に形成された I C 収納凹部の配列精度に I C の配列精度を合わせるようにしている。

アンローダ部 8 にはローダ部 7 に設けられた X-Y 搬送装置 7 1 と同様の構造の X-Y 搬送装置 8 1 が第 1 ポジション A と第 2 ポジション B に跨がって設けられており、この X-Y 搬送装置 8 1 によってアンローダ部 8 に搬出されたテストトレイ 3 から試験済みの I C を対応する汎用トレイに積み替える。この X-Y 搬送装置 8 1 は、アンローダ部 8 の上部の X 軸方向の両端部において Y 軸方向に延在するように架設された対向する平行な 2 本のレール 8 1 A、8 1 B と、これら 2 本のレール 8 1 A、8 1 B 間に架設され、Y 軸方向に移動可能にその両端部が

これら2本のレール81A、81Bに支持された可動アーム81Cと、この可動アーム81Cの延在する方向に、従って、X軸方向に移動可能に可動アーム81Cに支持された図示しない可動ヘッド（ピックアンドブレース）とによって構成されている。

次に、アンローダ部8における分類動作について説明する。図11に示すICテストではテストトレイ3の停止位置に近い汎用トレイにだけ試験済みICの分類及び積み替えを行なう。つまり、第1ポジションAに近い位置にあるのは汎用トレイ1aと1bである。これら汎用トレイ1aと1bにはカテゴリ1と2がそれぞれ割り当てられているものとする、テストトレイ3が第1ポジションAに停止中はこのカテゴリ1と2に属する試験済みICだけを取り出して対応する汎用トレイ1aと1bに積み替える。第1ポジションに停止中のテストトレイ3上からカテゴリ1と2に属するICが無くなると、テストトレイ3は第2ポジションBに移動される。

第2ポジションBに近い位置にあるのは汎用トレイ1cと1dである。これら汎用トレイ1cと1dにはカテゴリ3と4が割り当てられているものとする、テストトレイ3上からカテゴリ3と4に属する試験済みICを取り出して対応する汎用トレイ1cと1dに積み替える。この第2ポジションBで仕分けを行なっている間にエグジット室5から次のテストトレイ3をアンローダ部8に排出させて第1ポジションAに停止させ、待機させる。

このように、2つのアンローダ部（ポジションA及びB）に対して共通のX-Y搬送装置81を設け、テストトレイ3の停止位置AとBに接近して配置した汎用トレイ1a、1b及び1c、1dにだけ仕分け作業を行なわせると、仕分け作業に必要なX-Y搬送装置81の移動距離を小さくすることができる。このため1台のX-Y搬送装置81によって仕分け作業を行なわせているにもかかわらず、仕分けに要する全体の処理時間を短かくすることができる。

ところで、アンローダ部8の汎用トレイセット位置12に配置できる汎用トレイの数はスペースの関係からこの例では4個が限度となる。従って、リアルタイムに仕分けができるカテゴリは上述した1～4の4分類に制限される。一般的には良品を高速応答素子、中速応答素子、低速応答素子の3カテゴリに分類すると

共に、不良品の分類を加えて4カテゴリで十分であるが、時としてこれらのカテゴリに属さない試験済みICが発生することがある。このような4カテゴリ以外のカテゴリに入るICが発生した場合には、そのカテゴリを割り当てた汎用トレイを格納部11から取り出してアンローダ部8に搬送し、その汎用トレイに格納することになる。その際に、アンローダ部8に位置する任意の1つの汎用トレイを格納部11へ搬送、格納する必要もある。

仕分け作業の途中で汎用トレイの入れ替えを行なうと、その間は仕分け作業を中断しなければならない。このため、この例では、テストトレイ3の停止ポジションA、Bと汎用トレイ1a～1dの配置位置との間にバッファ部6を設置し、このバッファ部6に、たまにしか発生しないカテゴリに属するICを一時的に預けるように構成されている。

バッファ部6には、例えば20～30個程度のICを格納できる容量を持たせると共に、バッファ部6の各IC格納位置に格納されたICが属するカテゴリを記憶する記憶部を設け、この記憶部に、バッファ部6に一時的に預かったICのカテゴリと位置を各IC毎に記憶し、仕分け作業の合間、又はバッファ部6が満杯になった時点でバッファ部6に預かっているICが属するカテゴリの汎用トレイを格納部11からアンローダ部8へ搬送させ、その汎用トレイに格納する。なお、バッファ部6に一時的に預けられるICのカテゴリは複数にわたる場合もある。従って、複数のカテゴリにわたる場合には、一度に数種類の汎用トレイを格納部11からアンローダ部8へ搬送させることになる。

ICキャリア34は図13に示すようにICのピンPNを下面側に露出させた状態でICを保持する。テストヘッド100にはICソケットが取り付けられており、このICソケットのコンタクト101がテストヘッド100の上面から上方へ突出している。この露出したICのピンPNをICソケットのコンタクト101に押し付け、ICをテストヘッドのICソケットに電氣的に接続する。このためにテストヘッド100の上部にはICを下向きに押圧して抑え付ける圧接子（プッシャー）103が設けられ、この圧接子103が各ICキャリア34に収納されているICを上方から押圧して抑え付け、ICのピンPNをテストヘッド100のコンタクト101に接触させるように構成されている。

テストヘッド100で一度に試験できるICの個数はテストヘッド100に取り付けられたICソケットの個数に依存する。例えば図14に示すようにICが4行16列に配列されている場合には、各行の4列置き（斜線で指示する素子）を1度に全部試験できるように、 $4 \times 4$ の16個のICソケットがテストヘッド100に取り付けられる。つまり、1回目の試験は各行の1、5、9、13列にそれぞれ配置された16個のICに対して実施され、2回目の試験はテストトレイ3をIC1列分移動させて各行の2、6、10、14列に配置された16個のICに対して実施され、以下同様にして4回の試験を実施することにより全てのICを試験する。試験の結果は、テストトレイ3に付された、例えば識別番号と、テストトレイ3の内部で割り当てたICの番号とによってアドレスを決定し、メモリに記憶する。なお、テストヘッド100に32個のICソケットを取り付けることができる場合には2回の試験を実施するだけで4行16列に配列された64個のすべてのICを試験することができる。

格納部11には被試験ICを格納した汎用トレイ1を収容するこの例では2つの被試験ICストック（図示せず）と、試験の結果に応じてカテゴリ毎に分類された試験済みICを格納した汎用トレイ1を収容するこの例では7つの試験済みICストック（図示せず）とが設けられている。これら被試験ICストック及び試験済みICストックは汎用トレイを積層状態で収容できるように構成されている。被試験ICストックに積層状態で収容された被試験ICを格納した汎用トレイ1は上部のトレイから順次ローダ部7のセット位置12に運ばれ、上記X-Y搬送装置71によって汎用トレイ1からローダ部7に停止しているテストトレイ3に被試験ICを積み替える。

被試験ICストック及び試験済みICストックは、その1つを図15に示すように、上面が開放され、かつ底面に開口を有するトレイ支持枠51と、このトレイ支持枠51の下部に配置され、トレイ支持枠51底面の開口を通じてトレイ支持枠51内を上下方向に昇降可能なエレベータ52とを具備している。トレイ支持枠51内には汎用トレイ1が複数枚積み重ねられて収納、支持され、この積み重ねられた汎用トレイ1がトレイ支持枠51の底面から侵入するエレベータ52によって上下方向に移動させられる。

図11には示さないが、被試験ICストック及び試験済みICストックの上部には被試験ICストックと試験済みICストックの配列方向(X軸方向)の全範囲にわたって移動可能なトレイ搬送手段が設けられている。このトレイ搬送手段はその下面に汎用トレイ1を把持する把持具を備えている。被試験ICストックの上部にトレイ搬送手段を移動させ、その状態でエレベータ52を駆動させ、ストック内に積み重ねられた汎用トレイ1を上昇させる。上昇して来た汎用トレイ1の最上段のトレイをトレイ搬送手段の把持具で把持する。トレイ搬送手段に被試験ICを格納している最上段の汎用トレイ1を引き渡すと、エレベータ52は下降し、元の位置に戻る。トレイ搬送手段は水平方向に移動し、ローダ部7の汎用トレイセット位置12の下方で停止する。この位置でトレイ搬送手段は把持具から汎用トレイ1を外し、僅か下方に位置するトレイ受け(図示せず)に汎用トレイ1を降ろす。トレイ受けに汎用トレイ1を降ろしたトレイ搬送手段はローダ部7以外の位置に移動する。この状態で汎用トレイ1を載置しているトレイ受けの下側からエレベータ(図示せず)が上昇し、このトレイ受けを上方へ上昇させる。これによって、被試験ICを搭載している汎用トレイ1も上方に上昇させられ、ローダ部7のセット位置12に汎用トレイ1を保持する。

アンローダ部8の場合にも同様に、上記トレイ搬送手段と、トレイ受け及びこのトレイ受けの下側に配置されたエレベータによって空の4つの汎用トレイがアンローダ部8のセット位置12にそれぞれ保持される。そして、1つの汎用トレイが満杯になると、その汎用トレイはエレベータによってそのセット位置12から降下され、トレイ搬送手段によって自己に割り当てられたカテゴリのトレイ格納位置に収納される。

上記構成のICテストによるICの試験時間(測定時間とも言われる)はICの品種、試験内容により大きく相違する。一般にはテスト部42に搬入されたテストトレイ上のICがテストヘッド100のICソケットと接触させられた後、1回の試験にかかる時間は数秒〜数10分程度である。

テスト部42においてICを試験する際に、1回の試験にかかる時間が長い場合には、ソーク室41に搬入されたテストトレイはそこに搭載したICがテスト部42で試験されるまでに長時間待たされることになるから、テストトレイの搬



送機構はそれ程高速である必要がない。また、ソーク室 4 1 内に積層されるテストトレイの個数は少なくてもよい。

しかし、これでは全ての IC の試験が終了するまでに長時間を要するから高価な IC テスタの使用効率が非常に悪く、IC 1 個当たりの試験コストが非常に高くなるという重大な欠点が生じる。

この欠点を軽減するにはテスト部 4 2 において同時に試験（又は測定）することができる IC の個数（これを同時測定個数又は同測数と呼ぶ）を多くしなければならない。しかし、テストヘッドに装着できる IC ソケットの個数には限度があるので、同時測定個数の増大には限界がある。

また、同時測定個数を増大させた場合にはローダ部 7 及びアンローダ部 8 の X-Y 搬送装置 7 1 及び 8 1 を含む搬送処理機構の IC 処理個数を増大させる必要がある。IC の処理個数はこの搬送処理機構の性能に左右されるが、試験時間が長い場合には IC 処理個数をそれ程増大させなくても特に問題は生じない。

これに対し、テスト部 4 2 における IC の試験時間が短い場合には、テストトレイを高速でテスト部 4 2 へ搬送しないと、テスト部 4 2 での試験に空き時間が生じ、IC テスタの使用時間が長くなるという不都合が生じる。従って、テストトレイの搬送機構は高速であることが要求される。

しかし、テストトレイの搬送機構をある程度高速化するのであれば、それ程費用はかからないが、テストトレイの搬送機構を限界に近い速度にまで高速化するには相当の費用がかかり、IC テスタ全体のコストが高くなるという不都合が生じる。その上、テストトレイを高速で搬送させるためには X-Y 搬送装置 7 1 及び 8 1 を含む搬送処理機構の IC 処理個数を増大させなければならない。しかし、IC 処理個数を増大させるのには、やはり、費用がかかり、その上、IC 処理個数の増大には限界がある。また、試験時間が短い場合には同時測定個数を多くしてもそれ程効果が上がらない。

#### 発明の開示

この発明の第 1 の目的は、全ての IC の試験が終了するまでの時間を短縮することができ、従って、使用効率が向上した IC テスタを提供することである。

この発明の第2の目的は、ソーク室からテスト部を経てエグジット室へテストトレイを効率良く搬送でき、かつテスト部での同時測定個数を増大させたICテストを提供することである。

この発明の第3の目的は、ローダ部及びアンローダ部におけるICの処理個数を増大させて、全てのICの試験が終了するまでの時間を短縮したICテストを提供することである。

この発明の第4の目的は、ICテストにおいてソーク室からテスト部を経てエグジット室へ効率良く搬送することができる、高温/低温に耐えるテストトレイを提供することである。

上記目的を達成するため、この発明の第1の面においては、半導体デバイスをテストトレイに載置してテスト部へ搬送し、このテスト部において半導体デバイスを、テストトレイに載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバイス試験装置において、半導体デバイスを載置したテストトレイを上記テスト部へ搬入するテストトレイの搬送経路を複数経路設けた半導体デバイス試験装置が提供される。

一具体例では、半導体デバイスを載置したテストトレイを上記テスト部へ搬入する上記テストトレイの搬送経路に加えるに、上記テスト部での試験終了後、試験済み半導体デバイスを載置したテストトレイを上記テスト部から搬出するテストトレイの搬送経路を2経路設けている。

例えば、上記半導体デバイス試験装置が、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部と、このテスト部での試験が終了した試験済み半導体デバイスを除熱/除冷するための手段と、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備え、上記温度ストレス付与手段及び上記テスト部が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段及びテスト部の前側に配列され、上記除熱/除冷するための手段が上記テスト部の前側で、かつ上記アンローダ部の下側に配置されている場合に

は、上記温度ストレス付与手段から上記テスト部に至るテストトレイの搬送経路を2経路設けている。

また、上記温度ストレス付与手段、上記テスト部及び上記除熱／除冷するための手段が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段、テスト部及び除熱／除冷するための手段の前側に配列されている場合には、上記温度ストレス付与手段から上記テスト部を経て上記除熱／除冷手段に至るテストトレイの搬送経路を2経路設けている。

上記温度ストレス付与手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、複数枚のテストトレイを格納できるスペースを有し、上記ローダ部から順次に送られて来る複数枚のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段に、その奥の位置から順次に、隣接するトレイ間に予め設定された僅かの間隔を置いた状態で、或いは当接した状態で、格納される。

上記除熱／除冷手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、複数枚のテストトレイを格納できるスペースを有し、上記テスト部から送られて来た複数枚のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段にそのまま格納される。

この発明の第2の面においては、半導体デバイスをテストトレイに転送、載置し直すローダ部と、試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備え、半導体デバイスをテストトレイに載置して上記ローダ部からテスト部へ搬送し、このテスト部において半導体デバイスを、テストトレイに載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から上記アンローダ部へ搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバイス試験装置において、上記アンローダ部から上記ローダ部へ至るテストトレイの搬送経路が複数経路設けられている半導体デバイス試験装置が提供される。

この発明の第3の面においては、半導体デバイスをテストトレイに載置してテスト部へ搬送し、このテスト部において半導体デバイスを、テストトレイに載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバイス試験装置において、半導体デバイスを載置したテストトレイを上記テスト部へ搬入するテストトレイの搬送経路を、この搬送経路を横切る方向に複数枚のテストトレイを並べた状態で同時に搬送することができる幅の広い搬送経路にした半導体デバイス試験装置が提供される。

一具体例では、半導体デバイスを載置したテストトレイを上記テスト部へ搬入する上記テストトレイの搬送経路に加えるに、上記テスト部での試験終了後、試験済み半導体デバイスを載置したテストトレイを上記テスト部から搬出するテストトレイの搬送経路を、上記搬送経路を横切る方向に複数枚のテストトレイを並べた状態で同時に搬送することができる幅の広い搬送経路としている。

例えば、上記半導体デバイス試験装置が、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部と、このテスト部での試験が終了した試験済み半導体デバイスを除熱／除冷するための手段と、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備え、上記温度ストレス付与手段及び上記テスト部が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段及びテスト部の前側に配列され、上記除熱／除冷するための手段が上記テスト部の前側で、かつ上記アンローダ部の下側に配置されている場合には、上記温度ストレス付与手段から上記テスト部に至るテストトレイの搬送経路を、上記搬送経路を横切る方向に複数枚のテストトレイを並べた状態で同時に搬送することができる幅の広い搬送経路としている。

また、上記温度ストレス付与手段、上記テスト部及び上記除熱／除冷するための手段が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段、テスト部及び除熱／除冷するための手段の前側に配列されている場合には、上記温度ストレス付与手段から上記テ

スト部を経て上記除熱／除冷手段に至るテストトレイの搬送経路を、上記搬送経路を横切る方向に複数枚のテストトレイを並べた状態で同時に搬送することができる幅の広い搬送経路としている。

上記テストトレイの搬送経路を横切る方向に並べられた複数枚のテストトレイは互いに係合状態にある。

上記温度ストレス付与手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、複数枚のテストトレイを格納できるスペースを有し、上記ローダ部から順次に送られて来る複数枚のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段に、その奥の位置から順次、互いに係合した一体化状態で、格納される。

上記除熱／除冷手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、複数枚のテストトレイを格納できるスペースを有し、上記テスト部から送られて来る、上記搬送経路を横切る方向に並べられた複数枚のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段にそのまま格納される。

この発明の第4の面においては、半導体デバイスをテストトレイに転送、載置し直すローダ部と、試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備え、半導体デバイスをテストトレイに載置して上記ローダ部からテスト部へ搬送し、このテスト部において半導体デバイスを、テストトレイに載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から上記アンローダ部へ搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバイス試験装置において、上記アンローダ部から上記ローダ部へ至るテストトレイの搬送経路を、この搬送経路を横切る方向に複数枚のテストトレイを並べた状態で同時に搬送することができる幅の広い搬送経路にした半導体デバイス試験装置が提供される。

上記テストトレイの搬送経路を横切る方向に並べられた複数枚のテストトレイは互いに係合状態にある。

この発明の第5の面においては、半導体デバイスをテストトレイに載置してテスト部へ搬送し、このテスト部において半導体デバイスを、テストトレイに載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバイス試験装置において、上記テストトレイはほぼ長方形形状であり、半導体デバイスを載置したテストトレイを上記テスト部へ搬入するテストトレイの搬送経路を、上記長方形形状のテストトレイをその長辺側を進行方向の前部にした状態で搬送することができる幅の広い搬送経路にした半導体デバイス試験装置が提供される。

一具体例では、半導体デバイスを載置した長方形形状のテストトレイを上記テスト部へ搬入する上記テストトレイの搬送経路に加えるに、上記テスト部での試験終了後、試験済み半導体デバイスを載置した長方形形状のテストトレイを上記テスト部から搬出するテストトレイの搬送経路を、上記長方形形状のテストトレイをその長辺側を進行方向の前部にした状態で搬送することができる幅の広い搬送経路にしている。

例えば、上記半導体デバイス試験装置が、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部と、このテスト部での試験が終了した試験済み半導体デバイスを除熱／除冷するための手段と、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備え、上記温度ストレス付与手段及び上記テスト部が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段及びテスト部の前側に配列され、上記除熱／除冷するための手段が上記テスト部の前側で、かつ上記アンローダ部の下側に配置されている場合には、上記温度ストレス付与手段から上記テスト部に至るテストトレイの搬送経路を、上記長方形形状のテストトレイをその長辺側を進行方向の前部にした状態で搬送することができる幅の広い搬送経路としている。

また、上記温度ストレス付与手段、上記テスト部及び上記除熱／除冷するための手段が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記

アンローダ部がこれら温度ストレス付与手段、テスト部及び除熱／除冷するための手段の前側に配列されている場合には、上記温度ストレス付与手段から上記テスト部を経て上記除熱／除冷手段に至るテストトレイの搬送経路を、上記長方形形状のテストトレイをその長辺側を進行方向の前部にした状態で搬送することができる幅の広い搬送経路としている。

この場合、一度に２枚又は複数枚の上記長方形形状のテストトレイが、その長辺側を進行方向の前部にして、連続した状態で上記テストトレイの搬送経路を通じて上記テスト部へ搬送される。

上記温度ストレス付与手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、上記ローダ部から送られて来る複数枚のテストトレイを、その長辺側を進行方向の前部にして、一列に格納できるスペースを有する。上記ローダ部から順次送られて来る複数枚のテストトレイは、一番最後のテストトレイを除き、上記垂直搬送機構の一番上又は一番下のテストトレイ支持段に搬入された後、この搬入された方向と直角な方向に順次に送られ、上記一番最後のテストトレイは上記ローダ部から搬入されたままに保持されることによって、上記温度ストレス付与手段の出口側から、隣接するトレイ間に予め設定された僅かの間隔を置いた状態で、或いは当接した状態で、上記垂直搬送機構の一番上又は一番下のテストトレイ支持段に一列に並置されて格納される。

上記除熱／除冷手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は複数枚のテストトレイを、その長辺側を進行方向の前部にして、一列に格納できるスペースを有し、上記テスト部から連続的に送られて来る複数枚のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段にそのまま格納される。

この発明の第６の面においては、半導体デバイスをテストトレイに転送、載置し直すローダ部と、試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備え、半導体デバイスをテストトレイに載置して上記ローダ部からテスト部へ搬送し、このテスト部において半導体デバイスを、テストトレイに

載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から上記アンローダ部へ搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバイス試験装置において、上記アンローダ部から上記ローダ部へ至るテストトレイの搬送経路を、上記長方形形状のテストトレイをその長辺側を進行方向の前部にした状態で搬送することができる幅の広い搬送経路にした半導体デバイス試験装置が提供される。

この場合にも、一度に2枚又は複数枚の上記長方形形状のテストトレイが、その長辺側を進行方向の前部にして、連続した状態で上記テストトレイの搬送経路を通じて上記テスト部へ搬送される。

この発明の第7の面においては、半導体デバイスをテストトレイに載置してテスト部へ搬送し、このテスト部において半導体デバイスを、テストトレイに載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバイス試験装置において、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部とを含む恒温槽内に、複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を設け、この垂直搬送機構のテストトレイを支持する各段に複数枚のテストトレイを格納して上記テスト部へ同時に複数枚のテストトレイを搬送するようにした半導体デバイス試験装置が提供される。

上記半導体デバイス試験装置は、さらに、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを含み、これらローダ部及びアンローダ部は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備えており、この垂直搬送機構のテストトレイを支持する各段は1枚のテストトレイを格納するスペースを有している。

変形例においては、上記半導体デバイス試験装置は、さらに、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを含



み、これらローダ部及びアンローダ部は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備えており、この垂直搬送機構のテストトレイを支持する各段は複数枚のテストトレイを格納するスペースを有している。

一具体例では、上記恒温槽の上部にテストヘッドが装着されており、上記恒温槽内の垂直搬送機構によって各テストトレイ支持段に格納された複数枚のテストトレイが順次に上昇されて一番上の段まで上昇すると、上記テストヘッドに下向きに取り付けられたデバイスソケットに、上記一番上の段の複数枚のテストトレイに載置された半導体デバイスの所定数が電氣的に接触することを可能にされる。

また、上記恒温槽内の上垂直搬送機構のテストトレイを支持する各段は、上記ローダ部から送られて来る複数枚のテストトレイを、一列に並べて格納できるスペースを有し、上記ローダ部から順次に送られて来る複数枚のテストトレイは、一番最後のテストトレイを除き、上記垂直搬送機構の一番上又は一番下のテストトレイ支持段に搬入された後、この搬入された方向と直角な方向に順次に送られ、上記一番最後のテストトレイは上記ローダ部から搬入されたままに保持される。

この発明の第8の面においては、各テストトレイがほぼ方形のフレームと、このフレームの対向する2辺のうち的一方に形成された凹部と、他方の辺に形成された凸部とを備え、一方のテストトレイの凹部に他方のテストトレイの凸部が係合することによって一体化される、上記第3の面及び第4の面において提供された半導体デバイス試験装置に使用されるテストトレイが提供される。

この発明の第9の面においては、各テストトレイがほぼ方形のフレームと、このフレームの対向する2辺のうち的一方に形成された回動可能な係合突起と、他方の辺に形成された上記係合突起が係合する凹部とを備え、一方のテストトレイの係合突起と他方のテストトレイの凹部が係合することによって一体化される、上記第3の面及び第4の面において提供された半導体デバイス試験装置に使用されるテストトレイが提供される。

この発明の第10の面においては、ほぼ方形の板状部材にテストトレイが嵌合する2つの開口部を所定の間隔をおいて並置状態に形成し、これら開口部に2枚のテストトレイを嵌合させて上記板状部材ごと上記テストトレイの搬送経路に沿

って搬送させるように構成した半導体デバイス試験装置が提供される。

#### 図面の簡単な説明

図 1 はこの発明による半導体デバイス試験装置の第 1 の実施例の概略の構成を説明するための平面図である。

図 2 はこの発明による半導体デバイス試験装置の第 2 の実施例の概略の構成を説明するための平面図である。

図 3 (a) 及び図 3 (b) はそれぞれ図 2 に示した第 2 の実施例の半導体デバイス試験装置の作用効果を説明するための図である。

図 4 はこの発明による半導体デバイス試験装置の第 3 の実施例の概略の構成を説明するための平面図である。

図 5 は 2 枚のテストトレイを互いに係合させて一体化するための係合手段を説明するための平面図である。

図 6 は図 5 に示した一体化状態の 2 枚のテストトレイを搬送するための搬送装置のガイド部材の一例を説明するための図であり、図 6 A は平面図、図 6 B は図 6 A の左側面図である。

図 7 A、図 7 B、図 7 C 及び図 7 D はそれぞれ、2 枚のテストトレイを互いに係合させて一体化するための係合手段の他の例を説明するための図であり、図 7 A は平面図、図 7 B、図 7 C 及び図 7 D はそれぞれ斜視図、図 7 E は図 7 D を 7 E - 7 E 線で切断した断面図である。

図 8 はこの発明による半導体デバイス試験装置の第 5 の実施例の概略の構成を説明するための斜視図である。

図 9 はこの発明による半導体デバイス試験装置の第 6 の実施例の概略の構成を説明するための、一部分を斜視図で示す平面図である。

図 10 は図 9 に示した第 6 の実施例の半導体デバイス試験装置の恒温槽を断面にした正面図である。

図 11 は従来の半導体デバイス試験装置の一例の概略の構成を説明するための平面図である。

図 12 は半導体デバイス試験装置に使用されるテストトレイの一例の構造を説

明するための分解斜視図である。

図13は図11に示したテストトレイに格納された被試験ICとテストヘッドとの電氣的接続状態を説明するための拡大断面図である。

図14はテストトレイに格納された被試験ICの試験の順序を説明するための平面図である。

図15は図11に示した半導体デバイス試験装置に使用されるICストックの構造を説明するための斜視図である。

#### 発明を実施するための最良の形態

図1にこの発明による半導体デバイス試験装置の第1の実施例の概略の構成を示す。この実施例及び後述する実施例でも、従来例と同様に、半導体デバイスの代表例であるICを例にとって説明するので、以下、半導体デバイス試験装置をICテストと称す。なお、図1において図11と対応する部分、素子には同一符号を付して示し、必要のない限りそれらの説明を省略する。

例示のICテストは、図11に示したICテストと同様に、ソーク室41及びテスト部42を含む恒温槽4と、エグジット室5とがICテストの後方側において図の左右方向（この方向をX軸方向とする）に配列されており、また、恒温槽4及びエグジット室5の前方に、被試験ICをテストトレイ3に転送、載置し直すローダ部7と、恒温槽4のテスト部42での試験が終了し、エグジット室5を経て搬送されて来た試験済みのICをテストトレイ3から汎用トレイに転送、載置し直すアンローダ部8とが配置され、そして、ICテストの最前部にこれから試験を行なうIC（被試験IC）を載置した汎用トレイ1や、分類された試験済みのICを載置した汎用トレイ1等を格納する格納部11が配置されている。

具体的に説明すると、図においてX軸方向の左から右へソーク室41、テスト部42、エグジット室5がこの順序で配置され、恒温槽4のソーク室41の前方側にローダ部7が配置され、テスト部42及びエグジット室5の前方側にアンローダ部8が配置されている。従って、従来のICテストと同様に、テストトレイ3はアンローダ部8からローダ部7へ搬送された時の方向（X軸方向）とは直角な方向（図の上下方向、この方向をY軸方向とする）に搬送されて恒温槽4へ送

られ、恒温槽 4 においてもローダ部 7 から搬送された時の方向とは直角な方向にテストトレイ 3 を送り出す。同様に、エグジット室 5 においても恒温槽 4 から搬送された時の方向とは直角な方向にテストトレイを送り出し、アンローダ部 8 においてもエグジット室 5 から搬送された時の方向とは直角な方向にテストトレイを送り出す。即ち、アンローダ部 8 からローダ部 7 へ搬送された時にはテストトレイ 3 の一方の短辺が先頭になり、ローダ部 7 から恒温槽 4 へ搬送された時にはテストトレイ 3 の一方の長辺が先頭になり、恒温槽 4 からエグジット室 5 へ搬送された時にはテストトレイ 3 の他方の短辺が先頭になり、エグジット室 5 からアンローダ部 8 へ搬送された時にはテストトレイ 3 の他方の長辺が先頭になる。

恒温槽 4 のソーク室 4 1 はローダ部 7 においてテストトレイ 3 に積み込まれた被試験 IC に所定の高温又は低温の温度ストレスを与えるためのものであり、恒温槽 4 のテスト部 4 2 はソーク室 4 1 で所定の温度ストレスが与えられた状態にある IC の電氣的試験を実行するためのものである。ソーク室 4 1 で IC に与えられた所定の高温又は低温の温度ストレスを、試験中、その温度のままに維持するために、これらソーク室 4 1 及びテスト部 4 2 は内部雰囲気をも所定の一定の温度に維持することができる恒温槽 4 内に配置されている。

エグジット室 5 は試験済み IC を除熱又は除冷して外部温度（室温）に戻すために設けられており、ソーク室 4 1 で被試験 IC に、例えば 120℃ 程度の高温を印加した場合には、試験済み IC を送風により冷却して室温に戻し、また、ソーク室 4 1 で被試験 IC に、例えば -30℃ 程度の低温を印加した場合には、試験済み IC を温風或いはヒータ等で加熱し、結露が生じない程度の温度に戻す。

アンローダ部 8 は試験結果のデータに基づいてテストトレイ上の試験済み IC をカテゴリ毎に分類して対応する汎用トレイに搭載するように構成されている。この例ではアンローダ部 8 はテストトレイ 3 を 2 つのポジション A と B に停止できるように構成されており、これら第 1 ポジション A と第 2 ポジション B に停止したテストトレイ 3 から試験済み IC を試験結果のデータに従って分類し、汎用トレイセット位置 1 2 に停止している対応するカテゴリの汎用トレイ、図示の例では 4 つの汎用トレイ 1 a、1 b、1 c 及び 1 d に格納する。

テストトレイ 3 は、図 11 を参照して既に説明した従来の IC テスタに使用さ

れたものと同じ寸法及び構造のものでよく、従って、図12に示した構造を有している。テストトレイ3はローダ部7→恒温槽4のソーク室41→テスト部42→エグジット室5→アンローダ部8→ローダ部7と循環移動される。テストトレイ3はこの循環経路中に所定の個数だけ配されており、図示しないテストトレイ搬送手段によって図示の太い矢印の方向に順次に移動される。

この第1の実施例においては、恒温槽4及びエグジット室5の奥行き（Y軸方向の長さ）を長方形のテストトレイ3の横幅（短辺の長さ）にほぼ相当する寸法だけ長くし、かつ恒温槽4内のソーク室41から恒温槽4内のテスト部42を経てエグジット室5に至るテストトレイの搬送経路をほぼ平行に2つ設け、これら2つの搬送経路に沿って、図示するように2枚のテストトレイを、同時に搬送できるように構成したものである。この場合、2つの搬送経路の合計の幅（Y軸方向の長さ）は2枚のテストトレイの横幅の和にほぼ等しくし、従って、搬送経路を2つ設けてもICテストの奥行き（Y軸方向の長さ）は僅かにテストトレイ3の短辺の長さにはほぼ相当する寸法だけ長くなるだけである。

次に、上記構成のICテストの動作について説明する。

ローダ部7において汎用トレイ1から被試験ICが積み込まれたテストトレイ3は、その一方の長辺を先頭にしてローダ部7から恒温槽4へ送られ、この恒温槽4の前方側に設けられた挿入口からソーク室41内へ搬送される。ソーク室41には垂直搬送機構が装着されており、この垂直搬送機構は複数枚（例えば5枚）のテストトレイ3を所定の間隔を置いて積層状態で支持できるように構成されている。

この実施例では垂直搬送機構のテストトレイを支持する各段は、2枚のテストトレイの横幅の和にほぼ等しい寸法の奥行き（ソーク室41の出口の寸法に相当する）と、1枚のテストトレイの長辺の長さにはほぼ等しい寸法の入口（X軸方向の長さ、ソーク室41の入口の寸法に相当する）とを有し、ローダ部7から送られて来た1番目のテストトレイ3は垂直搬送機構の一番上の段の奥の半分（Y軸方向の上側半分）の位置まで搬入され、この段の支持部材によって支持される。

この垂直搬送機構は一番上の段に2枚のテストトレイが搬入されるまでその動作を停止しており、ローダ部7から2番目のテストトレイが垂直搬送機構の一番

上の段に搬入され、1番目のテストトレイと予め設定された僅かの間隔を置いた状態で、或いは当接した状態で、一番上の段の手前側の半分（Y軸方向の下側半分）の位置に收容されると、垂直搬送機構は各段を垂直方向（この方向をZ軸方向とする）下方へ移動させる。或いは1番目のテストトレイが垂直搬送機構の一番上の段の奥の半分の位置まで搬入された後、予め設定された時間が経過するまで、垂直搬送機構の動作を停止させ、その間各段の垂直方向下方への移動を停止させるように構成してもよい。

垂直搬送機構はその各段に2枚のテストトレイを支持した状態で、各段の2枚のテストトレイを垂直方向下方の次の段へと順次に移動させる。

垂直搬送機構によって一番上の段の2枚のテストトレイが一番下の段まで順次に移動される間に、また、テスト部42が空くまで待機する間に、2枚のテストトレイ上の被試験ICは高温又は低温の所定の温度ストレスが与えられる。

一番下の段まで降下した2枚のテストトレイは、ソーク室41の出口からこのソーク室41の下部においてX軸方向の右側に隣接した状態で連結されているテスト部42へ、それぞれの搬送経路に沿ってほぼ同時に搬出される。従って、2枚のテストトレイ3はソーク室41への搬入方向とは直角な方向へ送り出されることになる。ここで、1番目のテストトレイがソーク室41からテスト部42を経てエグジット室5に搬送される経路を第1搬送経路と称し、2番目のテストトレイがソーク室41からテスト部42を経てエグジット室5に搬送される経路を第2搬送経路と称す。

テスト部42には1つのテストヘッド（図示せず）が両テストトレイの搬送経路の下方の所定の位置に配置されている。ソーク室41からほぼ同時に搬出された2枚のテストトレイは第1及び第2の別々の搬送経路にてテスト部42に搬送され、テストヘッドに取り付けられた対応するデバイスソケット（図示せず）の上方の所定位置に停止する。その後、両テストトレイに搭載された被試験ICの内の所定数の被試験ICが、テストトレイに搭載されたまま、テストヘッドに取り付けられた対応するデバイスソケットと電氣的に接触させられる。

テストヘッドを通じて2枚のテストトレイ上の全ての被試験ICの試験が終了すると、両テストトレイは、それぞれの搬送経路に沿ってテスト部42から再び

X軸方向右側へ搬送されてエグジット室5に送られ、このエグジット室5において試験済みICの除熱又は除冷が行なわれる。

なお、テストヘッドを各テストトレイの搬送経路に1つずつ配置し、これら2つのテストヘッドに対応するテストトレイ上の被試験ICと接触するデバイスソケットをそれぞれ取り付けるように構成してもよい。また、ソーク室41からテスト部42へ、及びテスト部42からエグジット室5へとそれぞれ2枚のテストトレイが搬送されるが、必ずしも2枚のテストトレイを同時に搬送する必要はない。

エグジット室5も上記ソーク室41と同様に垂直搬送機構を備えており、この垂直搬送機構により複数枚（例えば5枚）のテストトレイ3を積層状態で所定の間隔を置いて支持できるように構成されている。

この実施例ではエグジット室5の垂直搬送機構のテストトレイを支持する各段は、2枚のテストトレイの横幅の和にほぼ等しい寸法の入口（Y軸方向の長さ、エグジット室5の入口の寸法に相当する）と、1枚のテストトレイの長辺の長さにほぼ等しい寸法の奥行き（X軸方向の長さ、エグジット室5の出口の寸法に相当する）とを有し、第1搬送経路にてテスト部42から搬送されて来た1番目のテストトレイ3は垂直搬送機構の一番下の段の奥の半分の位置に搬入され、第2搬送経路にてテスト部42から搬送されて来た2番目のテストトレイ3は垂直搬送機構の一番下の段の手前側の半分の位置に搬入され、両テストトレイはこの段の支持部材によって支持される。

この垂直搬送機構は一番下の段に2枚のテストトレイが搬入されるまでその動作を停止しており、テスト部42から2枚のテストトレイが垂直搬送機構の一番下の段に搬入されると、垂直搬送機構は各段を垂直方向上方へ移動させる。垂直搬送機構による各段の垂直方向上方への移動によって一番下の段の2枚のテストトレイが一番上の段まで順次移動される間に、試験済みICは除熱又は除冷されて外部温度（室温）に戻される。

既に述べたように、ICの試験はソーク室41において $-55^{\circ}\text{C}$ ～ $+125^{\circ}\text{C}$ のような広い温度範囲内の任意の温度ストレスをICに与えて実施されるので、エグジット室5は、ソーク室41で被試験ICに、例えば $120^{\circ}\text{C}$ 程度の高温を

印加した場合には、送風により冷却して室温に戻し、また、ソーク室41で被試験ICに、例えば-30℃程度の低温を印加した場合には、温風或いはヒータ等で加熱し、結露が生じない程度の温度に戻している。

除熱又は除冷後、まず、垂直搬送機構の一番上の段の手前の半分の位置に搬入されていた2番目のテストトレイがテスト部42から送り込まれた方向とは直角な方向（エグジット室5の前方側）のエグジット室5の出口からアンローダ部8の第1ポジションAへ搬出される。この第1ポジションAに近い位置にあるのは汎用トレイ1aと1bである。これら汎用トレイ1aと1bにはカテゴリ1と2がそれぞれ割り当てられているものとする、テストトレイ3が第1ポジションAに停止中はこのカテゴリ1と2に属する試験済みICだけを取り出して対応する汎用トレイ1aと1bに積み替える。第1ポジションAに停止中のテストトレイ3上からカテゴリ1と2に属するICが無くなると、テストトレイ3は第2ポジションBに移動される。

第2ポジションBに近い位置にあるのは汎用トレイ1cと1dである。これら汎用トレイ1cと1dにはカテゴリ3と4が割り当てられているものとする、テストトレイ3上からカテゴリ3と4に属する試験済みICを取り出して対応する汎用トレイ1cと1dに積み替える。

次に、垂直搬送機構の一番上の段の奥の半分の位置に搬入されていた1番目のテストトレイがエグジット室5の出口からアンローダ部8へ搬出され、第1ポジションAの位置に停止させる。この1番目のテストトレイのアンローダ部8への搬出は、先にアンローダ部8へ搬出された2番目のテストトレイがアンローダ部8の第1ポジションAから第2ポジションBへ搬送されるときに同時に、或いは搬送された後で行われる。

このように、2つのアンローダ部（ポジションA及びB）に対して共通のX-Y搬送装置81を設け、テストトレイ3の停止位置AとBに接近して配置した汎用トレイ1a、1b及び1c、1dにだけ仕分け作業を行なわせると、仕分け作業に必要なX-Y搬送装置81の移動距離を小さくすることができる。このため1台のX-Y搬送装置81によって仕分け作業を行なわせているにも拘わらず、仕分けに要する全体の処理時間を短かくすることができる。



この実施例でも、アンローダ部 8 の汎用トレイセット位置 1 2 に配置できる汎用トレイの数はスペースの関係から 4 個が限度となる。従って、リアルタイムに仕分けができるカテゴリは上述した 1 ～ 4 の 4 分類に制限される。一般的には良品を高速応答素子、中速応答素子、低速応答素子の 3 カテゴリに分類すると共に、不良品の分類を加えて 4 カテゴリで十分であるが、時としてこれらのカテゴリに属さない試験済み IC が発生することがある。このような 4 カテゴリ以外のカテゴリに入る IC が発生した場合には、そのカテゴリを割り当てた汎用トレイを格納部 1 1 の空トレイ収納ストッカ 1 E (図 1 において右側下の角部の領域) から取り出してアンローダ部 8 に搬送し、その汎用トレイに格納することになる。その際に、アンローダ部 8 に位置する任意の 1 つの汎用トレイを格納部 1 1 へ搬送、格納する必要もある。

仕分け作業の途中で汎用トレイの入れ替えを行なうと、その間は仕分け作業を中断しなければならない。このため、この実施例でも、テストトレイ 3 の停止ポジション A、B と汎用トレイ 1 a ～ 1 d の配置位置との間にバッファ部 6 を設置し、このバッファ部 6 に、たまにしか発生しないカテゴリに属する IC を一時的に預けるように構成されている。

バッファ部 6 には、例えば 20 ～ 30 個程度の IC を格納できる容量を持たせると共に、バッファ部 6 の各 IC 格納位置に格納された IC が属するカテゴリを記憶する記憶部を設け、この記憶部に、バッファ部 6 に一時的に預かった IC のカテゴリと位置を各 IC 毎に記憶し、仕分け作業の合間、又はバッファ部 6 が満杯になった時点でバッファ部 6 に預かっている IC が属するカテゴリの汎用トレイを格納部 1 1 からアンローダ部 8 の汎用トレイセット位置 1 2 へ搬送させ、その汎用トレイに格納する。なお、バッファ部 6 に一時的に預けられる IC のカテゴリは複数にわたる場合もある。従って、複数のカテゴリにわたる場合には、一度に数種類の汎用トレイを格納部 1 1 からアンローダ部 8 へ搬送させることになる。

アンローダ部 8 で空になったテストトレイ 3 はローダ部 7 に搬送され、ここで汎用トレイ 1 から再び被試験 IC が転送、載置される。以下、同様の動作を繰り返すことになる。

ローダ部 7 において汎用トレイ 1 からテストトレイ 3 に IC を転送する IC 搬送装置 7 1 は、既に説明した従来例の IC テスタに使用された IC 搬送装置と同様の構成（構造）のものでよく、ローダ部 7 の上部の X 軸方向の両端部に、Y 軸方向に延在するように架設された対向する平行な 2 本のレール 7 1 A、7 1 B と、これら 2 本のレール 7 1 A、7 1 B 間に架設され、Y 軸方向に移動可能にその両端部がこれら 2 本のレール 7 1 A、7 1 B に支持された可動アーム 7 1 C と、この可動アーム 7 1 C の延在する方向に、従って、X 軸方向に移動可能に可動アーム 7 1 C に支持された図示しない可動ヘッド（ピックアンドブレース）とによって構成されている。

可動ヘッドの下面には IC 吸着パッド（IC 把持部材）が上下方向に移動可能に装着されており、可動ヘッドの X-Y 軸方向移動とこの吸着パッドの下方への移動により、汎用トレイセット位置 1 2 に停止している汎用トレイ 1 に載置された IC に吸着パッドが当接し、真空吸引作用により IC を吸着、把持して汎用トレイ 1 からテストトレイ 3 に IC を転送する。吸着パッドは可動ヘッドに対して、例えば 8 個程度装着され、一度に 8 個の IC を汎用トレイ 1 からテストトレイ 3 に転送できるように構成されている。

なお、この実施例でもローダ部 7 において汎用トレイセット位置 1 2 とテストトレイ 3 の停止位置との間にはプリサイサと呼ばれる IC の位置修正部材 2 が設けられている。この IC の位置修正部材 2 の機能については既に説明したのでここではその記載を省略する。

アンローダ部 8 にもローダ部 7 に設けられた X-Y 搬送装置 7 1 と同様の構造の X-Y 搬送装置 8 1 が第 1 ポジション A と第 2 ポジション B に跨がって設けられており、この X-Y 搬送装置 8 1 によってアンローダ部 8 のポジション A 及び B に搬出されたテストトレイ 3 から試験済みの IC を対応する汎用トレイに積み替える。

この X-Y 搬送装置 8 1 は、アンローダ部 8 の上部の X 軸方向の両端部において Y 軸方向に延在するように架設された対向する平行な 2 本のレール 8 1 A、8 1 B と、これら 2 本のレール 8 1 A、8 1 B 間に架設され、Y 軸方向に移動可能にその両端部がこれら 2 本のレール 8 1 A、8 1 B に支持された可動アーム 8 1

Cと、この可動アーム 8 1 C の延在する方向に、従って、X 軸方向に移動可能に可動アーム 8 1 C に支持された図示しない可動ヘッド（ピックアンドブレース）とによって構成されている。

図 1 には示さないが、従来例の I C テスタと同様に、被試験 I C ストッカ及び試験済み I C ストッカの上部には被試験 I C ストッカと試験済み I C ストッカの配列方向（X 軸方向）の全範囲にわたって移動可能なトレイ搬送手段が設けられている。このトレイ搬送手段によって、被試験 I C を搭載している汎用トレイ 1 をローダ部 7 のセット位置 1 2 に保持する動作、空の 4 つの汎用トレイ 1 a ~ 1 d をアンローダ部 8 のセット位置 1 2 にそれぞれ保持する動作、満杯の汎用トレイを対応するトレイ格納位置に収納する動作、セット位置 1 2 に保持されている汎用トレイに格納できない別のカテゴリに属する試験済み I C が出現した場合にこれを格納するための汎用トレイをアンローダ部 8 のセット位置に搬送する動作等は既に説明したので、ここではその記載を省略する。

このように構成すると、エグジット室 5 からアンローダ部 8 を経てソーク室 4 1 に至るテストトレイの搬送経路は従来例の I C テスタと同様に 1 つであるけれど、ソーク室 4 1 からテスト部 4 2 を経てエグジット室 5 へ至るテストトレイの搬送経路は 2 つあるから、従来より使用されているテストトレイをそのまま使用しているにも拘わらず、テスト部 4 2 では 2 枚のテストトレイに搭載された被試験 I C を同時に試験又は測定することができる。その結果、被試験 I C の同時測定個数は 2 倍に増加する。よって、テスト部 4 2 における I C の 1 回の試験にかかる時間が長い場合には、同時測定個数が倍増されるので、全ての I C のテストが終了するまでの時間が約 1 / 2 に近い時間にまで短縮することができ、I C 1 個当たりの試験コストが非常に安くなるという利点を得られる。

上記実施例のようにソーク室 4 1 からテスト部 4 2 を経てエグジット室 5 へ至るテストトレイの搬送経路を 2 つ設けた場合には、各搬送経路に対して独立の駆動手段が必要となるが、テスト部 4 2 における I C の 1 回の試験にかかる時間が長い場合には、テストトレイの搬送機構はそれ程高速である必要がないので、安価なテストトレイ搬送機構が使用でき、安価な搬送機構を 2 台設けたことによるコストの上昇は僅かである。よって、I C 1 個当たりの試験コストが下がる方の

メリットの方が非常に大きいという利点がある。

その上、上記第1の実施例の構成（構造）によれば、ICテスト全体の寸法は僅かにその奥行きがテストトレイの短辺の長さに相当する寸法だけ長くなるだけであるので、ソーク室41からテスト部42を経てエグジット室5へ至るテストトレイの搬送経路を2つ設けるために、図11に示した従来技術のICテストのソーク室41、テスト部42及びエグジット室5よりなる構成を2つ設けた場合と比較して、ICテスト全体の奥行きの寸法をかなり短くでき、かつ安価に製造できるという利点が得られる。

周知のように、ICテストのテスト部42において同時に試験することができるICの個数はテストヘッドに装着されるICソケットの個数に依存する。テストヘッドはICテスト本体（この技術分野ではメインフレーム（main frame）と呼ばれている）と別体に構成され、ハンドラのテスト部に装着されるが、試験するICの種類、試験内容、使用するテストトレイの寸法等に応じてそれと対応するテストヘッドと交換される。その上、テストヘッドは相当の重量を有するので通常はハンドラの後方へ引き出せるように構成されている。

テストヘッドに取り付けるICソケットの個数を多くするためにテストヘッドを大型にすると、テストヘッドを装着するスペースが大きくなるのでハンドラが大型化すると共に、テストヘッドをハンドラの後方へ引き出すスペースを考慮に入れると、ICテスト全体の設置スペースがかなり大きくなってしまいうという問題が発生する。さらに、テストヘッドの重量が増大するので、テストヘッドの交換作業が一人のオペレータではできなくなるというような問題も発生する。このため、テストヘッドの寸法はなるべく小さい方が好ましく、一般には使用するテストトレイの大きさに応じてその寸法が規定されている。

一方、テストヘッドの上部にはパフォーマンスボード（performance board）が取り付けられ、このパフォーマンスボードにICソケットが装着される。テストヘッドの大きさに応じて、テストヘッドを恒温槽4のテスト部42に装着する取り付け具（この技術分野ではH i - f i x と呼ばれている）の寸法が決まるから、このH i - f i x を通じてテストヘッドの内部に収容された測定回路（ドライバ、コンパレータ等を含む回路）と電氣的に接続されるパフォーマンスボード

に装着できる IC ソケットの個数には限度がある。例えば、図 12 に示したようにテストトレイ 3 が 64 個の IC を搭載できる寸法のものであるときには、パフォーマンスボードには最大で 32 個の IC ソケットを取り付けることができる。このため、テストトレイ 3 の IC 積載容量が 64 個の場合には、同時に試験することができる IC の個数（同時測定個数）は最大で 32 個であるから、半数の 32 個づつを同時に測定している。従って、テスト部 42 においてテストトレイ 3 に積載された 64 個の IC をすべて同時に測定することはできない。なお、図 14 を参照して説明したように 16 個の IC ソケットを装着する場合もある。

テストトレイ 3 の Y 軸方向及び／又は X 軸方向の寸法を増大してテストトレイを大型化し、テストトレイに搭載することができる IC の個数を増加させれば、対応的にテストヘッドの寸法が増大できるからテストヘッド（パフォーマンスボード）に取り付けることができる IC ソケットの個数を増大することができ、テスト部 42 において 1 回に同時に測定することができる IC の個数を増加することができる。その結果、テスト部 42 における IC の試験時間を短縮することが可能になる。

しかし、テストトレイ 3 の外形寸法を単純に増大することは IC テスタ全体の各部に様々な影響を及ぼすことになり、好ましくない。

次に、その理由について説明する。図 1 及び図 11 に示すように、恒温槽 4 内にはソーク室 41 と、このソーク室 41 に X 軸方向右側に隣接してテスト部 42 が設けられている。そして、テスト部 42 の X 軸方向右側に隣接してエグジット室 5 が設けられている。さらに、恒温槽 4 及びエグジット室 5 の前方に、ローダ部 7 及びアンローダ部 8 がそれぞれ Y 軸方向に隣接して配列されている。これらソーク室 41、テスト部 42、エグジット室 5、ローダ部 7 及びアンローダ部 8 は何れも IC テスタの必須の構成要素であるので省略することはできない。

ここで、テストトレイ 3 の X 軸方向の外形寸法はそのままにし、Y 軸方向の外形寸法を単純に 2 倍に増大することによりテストトレイ 3 の積載容量を 2 倍に増大したとすると、テストトレイ 3 の面積は 2 倍に増大するので、恒温槽 4 のソーク室 41 及びテスト部 42 に必要な領域も約 2 倍となる。ローダ部 7 及びアンローダ部 8 についても、少なくともテストトレイを搬送する経路は同様に約 2 倍の

領域を必要とする。従って、ＩＣテストのローダ部７（又はアンローダ部８）と恒温槽４（又はエグジット室５）とを加えたＹ軸方向（前後方向）の寸法は、テストトレイ３のＹ軸方向の寸法を２倍にしてその面積を２倍に増大すると、従来例では $2 + 2 = 4$ となるから約２倍に増大する。

しかるに、上記第１の実施例のように、ソーク室４１からテスト部４２を経てエグジット室５へ至るテストトレイの搬送経路を２つ設けた場合には、ソーク室４１、テスト部４２及びエグジット室５に必要な領域はＹ軸方向にそれぞれ約２倍となるが、ローダ部７及びアンローダ８に必要な領域は従来例のＩＣテストと同じ（１倍）であるので、ＩＣテストのローダ部７（又はアンローダ部８）と恒温槽４（又はエグジット室５）とを加えたＹ軸方向（前後方向）の寸法は、 $2 + 1 = 3$ となり、１．５倍となる。

これより、この発明の第１の実施例は、テスト部４２において同時測定することができるＩＣの個数を２倍にしたにも拘わらず、テストトレイ３の面積或いは積載容量を単純に２倍にした場合と比較して、ＩＣテストに必要とされる領域はＩＣテストのローダ部７（又はアンローダ部８）と恒温槽４（又はエグジット室５）とを加えたＹ軸方向（前後方向）の寸法のみが約１．５倍に増大するだけであるという利点を得られる。即ち、ローダ部７（又はアンローダ部８）の前方には汎用トレイを格納する格納部１１が存在するから、ＩＣテストのＹ軸方向（前後方向）の面積の増大は１．５倍より少なく、ＩＣテスト（ハンドラ）全体の寸法はそれ程大きくならない。

さらに、前記したように、テストトレイ３は方形のフレーム３０と、このフレーム３０に支持されるＩＣを収納するための多数個のＩＣキャリア３４とによって構成されているが、これらは何れも $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ という広い温度範囲の試験測定に耐える前述した材料から製造されている。ＩＣキャリア３４はこれを６４個合計すると相当大きな重量となる。ＩＣキャリア３４を支持するフレーム３０もこの大きな重量のＩＣキャリア３４を支持することができる強固な構造にする必要があるため、かなりの重量となる。その結果、テストトレイ３の６４個のＩＣキャリア３４の重量とフレーム３０の重量の和は相当に大きくなるから上記したようにテストトレイ３のＹ軸方向の外形寸法を２倍に増大すると、この

重量もほぼ2倍になる。

テストトレイを初めにハンドラにセットする時やテストトレイを交換する時には、通常、テストトレイを複数枚重ねて一人のオペレータが運搬するからこのようにテストトレイの重量が増大すると、一人のオペレータによる取り扱いは困難になる。

その上、テストトレイ3のフレーム30及び棧31はアルミニウム合金により構成され、 $-55^{\circ}\text{C}\sim+125^{\circ}\text{C}$ という $180^{\circ}\text{C}$ に亘る広い温度範囲の温度に曝されて使用されるから、その外形寸法は膨張/収縮の影響を大きく受ける。従って、上記したようにテストトレイ3のY軸方向の外形寸法を2倍に増大すると、Y軸方向の外形寸法の膨張/収縮量も当然2倍になる。このように膨張/収縮量が大きくなると、テストトレイ3が膨張/収縮することに起因して、テストヘッドのパフォーマンスボードに取り付けられたICソケットとテストトレイに搭載されたIC間の電気接触の精度が低下する可能性が大である。

しかし、上記この発明の第1の実施例では、エグジット室5からアンローダ部8を経てソーク室41に至るテストトレイの搬送経路は従来例のICテストと同様に1つであり、ソーク室41からテスト部42を経てエグジット室5へ至るテストトレイの搬送経路のみを2つにしたので、従来より使用されているテストトレイをそのまま使用することができる。よって、テストトレイの重量及び膨張/収縮に関しては従来技術のICテストと全く変わるところがなく、上述したような不利益は全く生じない。

ところで、テスト部42におけるICの1回の試験にかかる時間が短い場合には、上記第1の実施例のように被試験ICの同時測定個数を増加させる必要は殆どなく、ローダ部7及びアンローダ部8のX-Y搬送装置71及び81を含む搬送処理機構の単位時間当たりのIC処理個数をより一層増大させる（搬送処理時間を短縮させる）方が重要である。しかし、単位時間当たりのIC処理個数を増大させるのにはかなりの費用がかかるし、ある限度以上にIC処理個数を増大させることは困難である。

このため、テスト部42におけるICの1回の試験にかかる時間が短い場合には、図2に示すこの発明の第2の実施例の構成（構造）を使用することが好まし

い。この第2の実施例においては、図2から明瞭なように、ローダ部7から恒温槽4のソーク室41及びテスト部42、エグジット室5を経てアンローダ部8に至るテストトレイの搬送経路は従来例のICテストと同様に1つであるけれど、ローダ部7及びアンローダ部8の奥行き（Y軸方向の長さ）を長方形のテストトレイ3の横幅（短辺の長さ）にほぼ相当する寸法だけ長くし、かつアンローダ部8からローダ部7に至るテストトレイの搬送経路をほぼ平行に2つ設け、これら2つの搬送経路に沿って、図示するように2枚のテストトレイ3を、同時に搬送できるように構成したものである。

従って、この第2の実施例においても2つの搬送経路の合計の幅（Y軸方向の長さ）は2枚のテストトレイの横幅の和にほぼ等しいから、搬送経路を2つ設けてもICテストの奥行き（Y軸方向の長さ）は僅かにテストトレイ3の短辺の長さにほぼ相当する寸法だけ長くなるだけである。

ローダ部7及びアンローダ部8のX-Y搬送装置71及び81を含む搬送処理機構のIC処理個数をより一層増大させるためには、例えば、ローダ部7において汎用トレイからテストトレイ3の64個の全てのICキャリア34に一度の作業で64個の被試験ICを載置し、アンローダ部8においてテストトレイ3に載置された64個の全ての試験済みICを一度の作業で全部ピックアップ（把持）することができる搬送処理機構を使用するのが理想的であるが、このような搬送処理機構は現在実用に供されていない。

しかしながら、1枚のテストトレイのIC搭載数に相当する64個の被試験IC又は試験済みICを一度に全部把持することは不可能にしても、8個よりは多い例えば10個、12個程度の個数の被試験IC又は試験済みICをX-Y搬送装置71又は81を含む搬送処理機構によって一度に全部把持することは可能である。この場合にはローダ部7及びアンローダ部8にできるだけ多くの個数の被試験IC及び試験済みICがそれぞれ存在する必要がある。何故ならば、ローダ部7及びアンローダ部8に存在する被試験IC及び試験済みICの個数が、X-Y搬送装置71及び81が同時に取り扱うことができる個数（可動ヘッド（ピックアップアンドプレース）の吸着パッドの個数）に比較して多くなれば、たとえX-Y搬送装置71及び81が同時に取り扱うことができる個数を増加させなくても、



これらX-Y搬送装置の可動ヘッドの吸着パッドの幾つかが空の状態（ICを保持していない状態）で移動する確率が減少し、効率良くICを搬送することができるからである。

このため、図2に示す第2の実施例では、アンローダ部8からローダ部7に至るテストトレイの搬送経路をほぼ平行に2つ設け、アンローダ部8には第1ポジションAに2枚、第2ポジションBに2枚の合計4枚のテストトレイが停止することを可能にし、また、ローダ部7には2枚のテストトレイが停止することを可能にしたのである。

その結果、アンローダ部8に存在する試験済みICの個数は従来技術のICテストと比較して2倍に増加するから、X-Y搬送装置81を含む搬送処理機構は試験済みICを効率良く転送することができる。また、ローダ部7には2枚のテストトレイが停止しているので、ローダ部7の汎用トレイセット位置12に保持されている被試験ICを搭載した2枚の汎用トレイからX-Y搬送装置71を含む搬送処理機構が被試験ICを効率良く2枚のテストトレイへ転送することができる。その結果、ICテストの全体の試験時間が短縮できるという利点を得られる。

次に、上記第2の実施例の利点について、アンローダ部8に関する図3を参照して、具体的数値例に基づいて詳細に説明する。

図3はアンローダ部8に停止しているテストトレイ3に搭載された64個の試験済みICの分類（カテゴリ）を例示するもので、図3（a）はアンローダ部8からローダ部7に至るテストトレイの搬送経路が1経路である場合、従って、従来技術のICテストと同様構成の場合を例示し、図3（b）はアンローダ部8からローダ部7に至るテストトレイの搬送経路が2経路の場合を例示する。なお、図3（b）の例では2枚のテストトレイとも同じ位置に同じ分類の試験済みICが搭載されているが、これは説明を簡単にするための単なる一例であり、各テストトレイによって試験済みICの分類位置が相違する場合も多々あり得ることは言うまでもない。

図3から明瞭なように、この例では1枚のテストトレイ3には殆どが分類1の試験済みICが載置されているが、分類2及び分類3の試験済みICも僅かに載

置されている（テストトレイ 3 内の数字 1、2、3 が分類を表す）。

X-Y 搬送装置 8 1 の可動ヘッドに 4 個の吸着パッドが装着されており、かつ分類 1 の試験済み IC に関する搬送回数を除いた場合には、X-Y 搬送装置 8 1 の可動ヘッドの搬送回数は、図 3（a）の場合には、分類 2 の試験済み IC に対して 1 回、分類 3 の試験済み IC に対して 1 回の合計 2 回実施される。これに対し、図 3（b）の場合には、第 1 ポジション A に 2 枚のテストトレイ 3 が停止しているから、可動ヘッドの搬送回数は、分類 2 の試験済み IC に対して 1 回、分類 3 の試験済み IC に対して 1 回の合計 2 回実施される。

このように可動ヘッドの搬送回数は、図 3（a）の場合も図 3（b）の場合も分類 2 及び分類 3 の試験済み IC に関しては同じ 2 回であるが、図 3（a）の場合には停止しているテストトレイは 1 枚であり、図 3（b）の場合には停止しているテストトレイは 2 枚である。よって、図 3（a）の場合には、2 枚のテストトレイに関して同じ搬送動作を行うことになるから、可動ヘッドの搬送回数は合計 4 回となり、図 3（b）の場合の搬送回数の 2 倍となる。かくして、上記第 2 の実施例の IC テスタではアンローダ部 8 における搬送効率が 2 倍に向上することが理解されよう。

試験済み IC の分類数がさらに多くなると、アンローダ部 8 の汎用トレイセット位置 1 2 に保持されている汎用トレイの数よりも試験済み IC の分類数の方が多くなる場合がある。この場合には、既に記載したように、汎用トレイセット位置 1 2 にある汎用トレイの幾つかを格納部 1 1 に戻し、対応する分類の汎用トレイを汎用トレイセット位置 1 2 に搬送する、いわゆる汎用トレイの入れ替え作業が必要となる。しかし、この入れ替え作業にはかなりの時間がかかるので、全体の試験時間が長くなるという問題が発生する。

上記汎用トレイの入れ替え作業の必要回数を極力少なくするためには、できるだけ多くの試験済み IC をアンローダ部 8 に配置することが好ましい。アンローダ部 8 に停止しているテストトレイに載置された試験済み IC の数が少ない場合には、1 枚目のテストトレイに載置された試験済み IC を分類処理するのに汎用トレイの入れ替え作業が必要になると、2 枚目のテストトレイに載置された試験済み IC を分類処理する場合にも汎用トレイの入れ替え作業が発生する可能性が

大きいからである。

ところで、テストトレイ 3 に載置される I C の数が 2 倍になれば、汎用トレイ 1 の入れ替え作業の回数は半減すると推測できる。既に記載したように、テストトレイ 3 の X 軸方向の外形寸法はそのままにし、Y 軸方向の外形寸法を単純に 2 倍に増大することによりテストトレイ 3 の積載容量を 2 倍に増大した場合には、上記した種々の欠点が発生するが、上記第 2 の実施例のようにアンローダ部 8 からローダ部 7 に至るテストトレイの搬送経路を 2 経路とし、2 枚のテストトレイを同時に搬送できるように構成した場合には、2 枚のテストトレイの合計の I C 積載容量は 2 倍となるが、上記した種々の欠点は発生せず、その上、恒温槽 4 及びエグジット室 5 の形状及び寸法には全く影響を与えないし、テストトレイも従来のものが利用できるという利点がある。

次に、上記第 2 の実施例の I C テスタの動作について簡単に説明すると、ローダ部 7 の第 1 搬送経路（図 2 において上側の搬送経路を言う）及び第 2 搬送経路（図 2 において下側の搬送経路を言う）に停止している 2 枚のテストトレイに汎用トレイから被試験 I C が転送され、第 1 搬送経路のテストトレイが満杯になると、このテストトレイがソーク室 4 1 へ搬送され、その垂直搬送機構の一番上のテストトレイ支持段に格納される。ソーク室 4 1 の垂直搬送機構によって、今搬入されたテストトレイが次のテストトレイ支持段に降下されると、第 2 搬送経路から被試験 I C を満載した次のテストトレイがソーク室 4 1 へ搬送され、その垂直搬送機構の一番上のテストトレイ支持段に格納される。

両搬送経路にテストトレイが存在しなくなると、アンローダ部 8 の第 2 ポジション B から、試験済み I C の仕分け作業が完了し、空になった 2 枚のテストトレイが両搬送経路を通じてローダ部 7 に搬送される。アンローダ部 8 の第 2 ポジション B が空きになると、第 1 ポジション A に停止している 2 枚のテストトレイが、この第 1 ポジション A での仕分け作業が完了すると、第 1 ポジション A から第 2 ポジション B へ両搬送経路を通じて搬送される。アンローダ部 8 の第 1 ポジション A の両搬送経路にテストトレイが存在しなくなると、エグジット室 5 の垂直搬送機構の一番上のテストトレイ支持段から除熱／除冷された試験済み I C を載置したテストトレイがアンローダ部 8 の第 2 搬送経路の第 1 ポジション A へ搬出さ

れ、続いて、エグジット室5の垂直搬送機構の一番上のテストトレイ支持段に上昇された試験済みICを載置したテストトレイがアンローダ部8の第1搬送経路の第1ポジションAに搬出される。

なお、ソーク室41の垂直搬送機構の動作、テスト部42での試験（測定）、エグジット室5の垂直搬送機構の動作等は図11に示した従来技術のICテストと同じであるので、それらの説明は省略する。この実施例でもローダ部7において汎用トレイセット位置12とテストトレイ3の停止位置との間にはプリサイサと呼ばれるICの位置修正部材2が設けられている。このICの位置修正部材2の機能については既に説明したのでここではその記載を省略する。

また、アンローダ部8における仕分け作業、汎用トレイの入れ替え動作等も、テストトレイの数が2倍になっているだけで、本質的には図11に示した従来技術のICテストと同じであるので、その説明を省略するが、アンローダ部8の2つのポジションA及びBに対して別々のX-Y搬送装置を設け、試験済みICの搬送処理速度をさらに高めるように構成してもよい。また、テストトレイの停止ポジションA、Bと汎用トレイ1a～1dの配置位置との間に設置したバッファ部6のIC格納容量を大きくし、バッファ部6に一時的に預けることができる試験済みICの個数を増大させてもよい。

図2には示さないが、従来例のICテストと同様に、格納部の被試験ICストック及び試験済みICストックの上部には被試験ICストックと試験済みICストックの配列方向（X軸方向）の全範囲にわたって移動可能なトレイ搬送手段が設けられている。このトレイ搬送手段の動作については既に記載したので、ここではその説明を省略する。

上記第2の実施例の構成によれば、ローダ部7から恒温槽4のソーク室41及びテスト部42、エグジット室5を経てアンローダ部8に至るテストトレイの搬送経路は従来例のICテストと同様に1つであるけれど、アンローダ部8からローダ部7に至るテストトレイの搬送経路は2つあるから、従来より使用されているテストトレイをそのまま使用しているにも拘わらず、アンローダ部8には第1及び第2ポジションA及びBに2枚ずつの合計4枚のテストトレイを停止させることができる。よって、従来技術の2倍の個数の試験済みICがアンローダ部8

に存在するから、X-Y搬送装置 81 を含む搬送処理機構は試験済み IC を効率良く転送することができ、試験済み IC の処理個数を増大させることができる。また、ローダ部 7 においては、2 枚のテストトレイが停止しているので、汎用トレイから X-Y 搬送装置 71 を含む搬送処理機構によって被試験 IC を効率良くテストトレイへ転送することができ、被試験 IC の処理個数を増大させることができる。かくして、IC テスタの全体の試験時間が短縮でき、IC 1 個当たりの試験コストが非常に安くなるという利点が得られる。

さらに、上記第 2 の実施例の構成（構造）でも、IC テスタ全体の寸法は僅かにその奥行きがテストトレイの短辺の長さに対応する寸法だけ長くなるだけであるので、アンローダ部 8 からローダ部 7 へ至るテストトレイの搬送経路を 2 つ設けるために、図 11 に示した従来技術の IC テスタのアンローダ部 8 及びローダ部 7 よりなる構成を 2 つ設けた場合と比較して、IC テスタ全体の奥行き寸法をかなり短くでき、かつ安価に製造できるという利点が得られる。

上記第 1 の実施例ではソーク室 41 からテスト部 42 を経てエグジット室 5 へ至るテストトレイの搬送経路をほぼ平行に 2 つ設け、また、上記第 2 の実施例ではアンローダ部 8 からローダ部 7 へ至るテストトレイの搬送経路をほぼ平行に 2 つ設け、IC テスタ全体の奥行きをテストトレイの短辺の長さに対応する寸法だけ長くするだけで、しかも、従来のテストトレイを使用して、第 1 の実施例ではテスト部 42 における IC の同時測定個数を増大させ、第 2 の実施例ではアンローダ部 8 及びローダ部 7 における単位時間当たりの IC の処理個数を増大させたが、このようにテストトレイの搬送経路を 2 つ設けた場合には各搬送経路に対して独立の駆動手段が必要となる。

次に、恒温槽 4 及びエグジット室 5 の奥行き（Y 軸方向の長さ）を長方形のテストトレイ 3 の横幅（短辺の長さ）にほぼ相当する寸法だけ長くし、恒温槽 4 内のソーク室 41 から恒温槽 4 内のテスト部 42 を経てエグジット室 5 に至るテストトレイの搬送経路を、2 枚のテストトレイの横幅の和にほぼ相当する幅の広い 1 つの搬送経路とし、この搬送経路に沿って、2 枚のテストトレイを互いに係合させた状態で、即ち、一体化した状態で搬送するように構成し、テストトレイの搬送経路の駆動手段を独立に 2 つ設ける必要をなくした第 3 の実施例について図

4を参照して説明する。

この第3の実施例でも、ソーク室41からテスト部42を経てエグジット室5に至るテストトレイの搬送経路の幅（Y軸方向の長さ）は2枚のテストトレイの横幅の和にほぼ等しいから、ICテストの奥行き（Y軸方向の長さ）は僅かにテストトレイ3の短辺の長さにはほぼ相当する寸法だけ長くなるだけである。なお、図4において図1及び図11と対応する部分、素子には同一符号を付して示し、必要のない限りそれらの説明を省略する。

例示のICテストは、図1に示したICテストと同様に、ソーク室41及びテスト部42を含む恒温槽4と、エグジット室5とがICテストの後方側において図の左右方向（この方向をX軸方向とする）に配列されており、また、恒温槽4及びエグジット室5の前方に、被試験ICをテストトレイ3に転送、載置し直すローダ部7と、恒温槽4のテスト部42での試験が終了し、エグジット室5を経て搬送されて来た試験済みのICをテストトレイ3から汎用トレイに転送、載置し直すアンローダ部8とが配置され、そして、ICテストの最前部にこれから試験を行なうIC（被試験IC）を載置した汎用トレイ1や、分類された試験済みのICを載置した汎用トレイ1等を格納する格納部11が配置されている。

具体的に説明すると、図4においてX軸方向の左から右へソーク室41、テスト部42、エグジット室5がこの順序で配置され、恒温槽4のソーク室41の前方側にローダ部7が配置され、テスト部42及びエグジット室5の前方側にアンローダ部8が配置されている。従って、従来のICテストと同様に、テストトレイ3はアンローダ部8からローダ部7へ搬送された時の方向（X軸方向）とは直角な方向（Y軸方向）に搬送されて恒温槽4へ送られ、恒温槽4においてもローダ部7から搬送された時の方向とは直角な方向にテストトレイ3を送り出す。同様に、エグジット室5においても恒温槽4から搬送された時の方向とは直角な方向にテストトレイを送り出し、アンローダ部8においてもエグジット室5から搬送された時の方向とは直角な方向にテストトレイを送り出す。

テストトレイ3は、図11を参照して既に説明した従来のICテストに使用されたものと同じ寸法及び構造のものでよく、従って、図12に示した構造を有している。テストトレイ3はローダ部7→恒温槽4のソーク室41→テスト部42

→エグジット室5→アンローダ部8→ローダ部7と循環移動される。テストトレイ3はこの循環経路中に所定の個数だけ配されており、図示しないテストトレイ搬送手段によって図示の太い矢印の方向に順次に移動される。

この第3の実施例においては、恒温槽4及びエグジット室5の奥行き（Y軸方向の長さ）を長方形のテストトレイ3の横幅（短辺の長さ）にほぼ相当する寸法だけ長くし、恒温槽4内のソーク室41から恒温槽4内のテスト部42を経てエグジット室5に至るテストトレイの搬送経路の幅を、2枚のテストトレイの横幅の和にほぼ等しくし、図示するように2枚のテストトレイを、それらの対接する長辺を互いに係合させた状態で、同時に搬送できるように構成したものである。

次に、上記構成のICテストの動作について説明する。

ローダ部7において汎用トレイ1から被試験ICが積み込まれたテストトレイ3は、その一方の長辺を先頭にしてローダ部7から恒温槽4へ送られ、この恒温槽4の前方側に設けられた挿入口からソーク室41内へ搬送される。ソーク室41には垂直搬送機構が装着されており、この垂直搬送機構は複数枚（例えば5枚）のテストトレイ3を所定の間隔を置いて積層状態で支持できるように構成されている。

この実施例では垂直搬送機構のテストトレイを支持する各段は2枚のテストトレイの横幅の和にほぼ等しい寸法の奥行きを有し、ローダ部7から送られて来た1番目のテストトレイ3は垂直搬送機構の一番上の段の奥の半分（Y軸方向の上側半分）の位置まで搬入され、支持される。この垂直搬送機構は一番上の段に2枚のテストトレイが搬入されるまで停止しており、ローダ部7から2番目のテストトレイが垂直搬送機構の一番上の段に搬入され、1番目のテストトレイと当接し、係合した状態で、一番上の段の手前の半分（Y軸方向の下側半分）の位置に収容されると、垂直搬送機構は各段を垂直方向（Z軸方向）下方へ移動させる。或いは1番目のテストトレイが垂直搬送機構の一番上の段の奥の半分の位置まで搬入された後予め設定された時間が経過するまで、垂直搬送機構の垂直方向下方への移動を停止するように構成してもよい。

垂直搬送機構はその各テストトレイ支持段に2枚のテストトレイを、それらの対接する長辺が互いに係合した状態で、支持し、即ち、2枚のテストトレイを一

体化した状態で支持し、各段の一体化された状態の2枚のテストトレイを垂直方向下方の次の段へと順次に移動させる。

垂直搬送機構によって一番上の段の2枚のテストトレイが一番下の段まで順次に移動される間に、また、テスト部42が空くまで待機する間に、一体化状態の2枚のテストトレイ上の被試験ICは高温又は低温の所定の温度ストレスが与えられる。一番下の段まで降下した2枚のテストトレイは、ソーク室41の下部においてX軸方向の右側に隣接した状態で連結されているテスト部42へ、互いに係合した一体化状態のまま、2枚同時に搬出される。従って、2枚のテストトレイ3はソーク室41への搬入方向とは直角な方向へ送り出されることになる。

テスト部42には1つのテストヘッド（図示せず）が、一体化状態にある2枚のテストトレイの搬送経路の下方の所定の位置に配置されている。このテストヘッドの上部（パフォーマンスボード）には対応するテストトレイの下方の所定の位置にデバイスソケット（図示せず）が装着されており、ソーク室41から同時に搬出された一体化状態の2枚のテストトレイはこれらデバイスソケットの上部に運ばれ、両テストトレイに搭載された被試験ICの内の所定数の被試験ICが、テストトレイに搭載されたまま、テストヘッドに取り付けられた対応するデバイスソケットと電気的に接触させられる。

このテストヘッドを通じて一体化状態の2枚のテストトレイ上の全ての被試験ICの試験が終了すると、両テストトレイは、係合した一体化状態のまま、テスト部42から再びX軸方向右側へ搬送されてエグジット室5に送られ、このエグジット室5において試験済みICの除熱又は除冷が行なわれる。

なお、一体化された2枚のテストトレイとそれぞれ対応させて、テストトレイの搬送経路の下方の所定の位置に2つのテストヘッドを配置し、これら2つのテストヘッドに対応するテストトレイ上の被試験ICと接触するデバイスソケットをそれぞれ取り付けるように構成してもよい。

エグジット室5も上記ソーク室41と同様に垂直搬送機構を備えており、この垂直搬送機構により複数枚（例えば5枚）のテストトレイ3を積層状態で所定の間隔を置いて支持できるように構成されている。

この実施例ではエグジット室5の垂直搬送機構のテストトレイを支持する各段



は、2枚のテストトレイの横幅の和にほぼ等しい寸法の入口（Y軸方向の長さ、エグジット室5の入口の寸法に相当する）と、1枚のテストトレイの長辺の長さにほぼ等しい寸法の奥行き（X軸方向の長さ、エグジット室5の出口の寸法に相当する）とを有し、搬送経路にてテスト部42から搬送されて来た一体化状態にある2枚のテストトレイが垂直搬送機構の一番下のテストトレイ支持段に搬入され、この段の支持部材によって支持される。

テスト部42から一体化状態の2枚のテストトレイが垂直搬送機構の一番下の段に搬入されると、垂直搬送機構は各支持段を垂直方向上方へ移動させる。垂直搬送機構による各支持段の垂直方向上方への移動によって一番下の段の一体化状態の2枚のテストトレイが一番上の段まで順次移動される間に、試験済みICは除熱又は除冷されて外部温度（室温）に戻される。

既に述べたように、ICの試験はソーク室41において $-55^{\circ}\text{C}$ ～ $+125^{\circ}\text{C}$ のような広い温度範囲内の任意の温度ストレスをICに与えて実施されるので、エグジット室5は、ソーク室41で被試験ICに、例えば $120^{\circ}\text{C}$ 程度の高温を印加した場合には、送風により冷却して室温に戻し、また、ソーク室41で被試験ICに、例えば $-30^{\circ}\text{C}$ 程度の低温を印加した場合には、温風或いはヒータ等で加熱し、結露が生じない程度の温度に戻している。

除熱又は除冷後、まず、垂直搬送機構の一番上の段の手前の半分の位置に存在するテストトレイがテスト部42から送り込まれた方向とは直角な方向（エグジット室5の前方側）のエグジット室5の出口からアンローダ部8の第1ポジションAへ搬出される。この第1ポジションAに近い位置にあるのは汎用トレイ1aと1bである。これら汎用トレイ1aと1bにはカテゴリ1と2がそれぞれ割り当てられているものとする、テストトレイ3が第1ポジションAに停止中はこのカテゴリ1と2に属する試験済みICだけを取り出して対応する汎用トレイ1aと1bに積み替える。第1ポジションAに停止中のテストトレイ3上からカテゴリ1と2に属するICが無くなると、テストトレイ3は第2ポジションBに移動される。

第2ポジションBに近い位置にあるのは汎用トレイ1cと1dである。これら汎用トレイ1cと1dにはカテゴリ3と4が割り当てられているものとする、

テストトレイ 3 上からカテゴリ 3 と 4 に属する試験済み IC を取り出して対応する汎用トレイ 1 c と 1 d に積み替える。

次に、垂直搬送機構の一番上の段の奥の半分の位置に搬入されていたテストトレイがエグジット室 5 の出口からアンローダ部 8 へ搬出され、第 1 ポジション A の位置に停止する。このテストトレイのアンローダ部 8 への搬出は、先にアンローダ部 8 へ搬出されたテストトレイがアンローダ部 8 の第 1 ポジション A から第 2 ポジション B へ搬送されるときに同時に、或いは搬送された後で行われる。

この実施例でも、アンローダ部 8 の汎用トレイセット位置 1 2 に配置できる汎用トレイの数はスペースの関係から 4 個が限度となる。従って、リアルタイムに仕分けができるカテゴリは上述した 1 ～ 4 の 4 分類に制限される。一般的には良品を高速応答素子、中速応答素子、低速応答素子の 3 カテゴリに分類すると共に、不良品の分類を加えて 4 カテゴリで十分であるが、時としてこれらのカテゴリに属さない試験済み IC が発生することがある。このような 4 カテゴリ以外のカテゴリに入る IC が発生した場合には、そのカテゴリを割り当てた汎用トレイを格納部 1 1 の空トレイ収納ストッカ 1 E (図 4 において右側下の角部の領域) から取り出してアンローダ部 8 に搬送し、その汎用トレイに格納することになる。その際に、アンローダ部 8 に位置する任意の 1 つの汎用トレイを格納部 1 1 へ搬送、格納する必要もある。

仕分け作業の途中で汎用トレイの入れ替えを行なうと、その間は仕分け作業を中断しなければならない。このため、この実施例でも、テストトレイ 3 の停止ポジション A、B と汎用トレイ 1 a ～ 1 d の配置位置との間にバッファ部 6 を設置し、このバッファ部 6 に、たまにしか発生しないカテゴリに属する IC を一時的に預けるように構成されている。

バッファ部 6 には、例えば 20 ～ 30 個程度の IC を格納できる容量を持たせると共に、バッファ部 6 の各 IC 格納位置に格納された IC が属するカテゴリを記憶する記憶部を設け、この記憶部に、バッファ部 6 に一時的に預かった IC のカテゴリと位置を各 IC 毎に記憶し、仕分け作業の合間、又はバッファ部 6 が満杯になった時点でバッファ部 6 に預かっている IC が属するカテゴリの汎用トレイを格納部 1 1 からアンローダ部 8 の汎用トレイセット位置 1 2 へ搬送させ、そ

の汎用トレイに格納する。なお、バッファ部6に一時的に預けられるICのカテゴリは複数にわたる場合もある。従って、複数のカテゴリにわたる場合には、一度に数種類の汎用トレイを格納部11からアンローダ部8へ搬送させることになる。

アンローダ部8で空になったテストトレイ3はローダ部7に搬送され、ここで汎用トレイ1から再び被試験ICが転送、載置される。以下、同様の動作を繰り返すことになる。

なお、ローダ部7において汎用トレイ1からテストトレイ3にICを転送するIC搬送装置71は、既に説明した従来例のICテストに使用されたIC搬送装置と同様の構成（構造）のものでよく、ローダ部7の上部のX軸方向の両端部に、Y軸方向に延在するように架設された対向する平行な2本のレール71A、71Bと、これら2本のレール71A、71B間に架設され、Y軸方向に移動可能にその両端部がこれら2本のレール71A、71Bに支持された可動アーム71Cと、この可動アーム71Cの延在する方向に、従って、X軸方向に移動可能に可動アーム71Cに支持された図示しない可動ヘッド（ピックアンドプレイス）とによって構成されている。

可動ヘッドの下面にはIC吸着パッド（IC把持部材）が上下方向に移動可能に装着されており、可動ヘッドのX-Y軸方向移動とこの吸着パッドの下方への移動により、汎用トレイセット位置12に停止している汎用トレイ1に載置されたICに吸着パッドが当接し、真空吸引作用によりICを吸着、把持して汎用トレイ1からテストトレイ3にICを転送する。吸着パッドは可動ヘッドに対して、例えば8個程度装着され、一度に8個のICを汎用トレイ1からテストトレイ3に転送できるように構成されている。

また、アンローダ部8にもローダ部7に設けられたX-Y搬送装置71と同様の構造のX-Y搬送装置81が第1ポジションAと第2ポジションBに跨がって設けられており、このX-Y搬送装置81によってアンローダ部8のポジションA及びBに搬出されたテストトレイ3から試験済みのICを対応する汎用トレイに積み替える。

このX-Y搬送装置81は、アンローダ部8の上部のX軸方向の両端部におい

てY軸方向に延在するように架設された対向する平行な2本のレール81A、81Bと、これら2本のレール81A、81B間に架設され、Y軸方向に移動可能にその両端部がこれら2本のレール81A、81Bに支持された可動アーム81Cと、この可動アーム81Cの延在する方向に、従って、X軸方向に移動可能に可動アーム81Cに支持された図示しない可動ヘッド（ピックアンドブレース）とによって構成されている。

なお、この第3の実施例でもローダ部7において汎用トレイセット位置12とテストトレイ3の停止位置との間にはプリサイザと呼ばれるICの位置修正部材2が設けられている。このICの位置修正部材2の機能については既に説明したのでここではその記載を省略する。

図4には示さないが、従来例のICテストと同様に、被試験ICストック及び試験済みICストックの上部には被試験ICストックと試験済みICストックの配列方向（X軸方向）の全範囲にわたって移動可能なトレイ搬送手段が設けられている。このトレイ搬送手段によって行われる、被試験ICを搭載している汎用トレイ1をローダ部7のセット位置12に保持する動作、空の4つの汎用トレイ1a～1dをアンローダ部8のセット位置12にそれぞれ保持する動作、満杯の汎用トレイを対応するトレイ格納位置に収納する動作、セット位置12に保持されている汎用トレイに格納できない別のカテゴリに属する試験済みICが出現した場合にこれを格納するための汎用トレイをアンローダ部8のセット位置に搬送する動作等は既に説明したので、ここではその記載を省略する。

このように構成すると、エグジット室5からアンローダ部8を経てソーク室41に至るテストトレイの搬送経路においては、従来例のICテストと同様に、テストトレイは1枚ずつ搬送されるけれど、ソーク室41からテスト部42を経てエグジット室5へ至るテストトレイの搬送経路においては、一体化状態で2枚のテストトレイが1つの幅の広い搬送経路に沿って搬送される。従って、従来より使用されているテストトレイをそのまま使用しているにも拘わらず、テスト部42では2枚のテストトレイに搭載された被試験ICを同時に試験又は測定することができる。その結果、被試験ICの同時測定個数は2倍に増加する。よって、テスト部42におけるICの1回の試験にかかる時間が長い場合には、同時測定

個数が倍増されるので、全てのICのテストが終了するまでの時間（ICテストのテスト時間）を約1/2に近い時間にまで短縮することができ、IC1個当たりの試験コストが非常に安くなるという利点を得られる。

また、ソーク室41からテスト部42を経てエグジット室5へ至るテストトレイの搬送経路は1つであるので、1つの駆動手段でテストトレイを搬送することができ、その上、テストトレイの位置の監視のためのセンサや検出回路、位置決めのためのストッパ等の機構類が1つで済むので経済的であると共に、テストトレイの搬送装置全体を小型化できるという利点がある。

さらに、上記第3の実施例の構成（構造）によれば、ICテスト全体の寸法は僅かにその奥行きがテストトレイの短辺の長さに相当する寸法だけ長くなるだけであるので、テスト部42での同時測定個数を増大させるために、図11に示した従来技術のICテストのソーク室41、テスト部42及びエグジット室5よりなる構成を2つ設けた場合と比較して、ICテスト全体の奥行きの寸法をかなり短くでき、かつ安価に製造できるという利点を得られる。

また、上記第1の実施例の場合には2枚のテストトレイがほぼ平行する2つの独立の搬送経路に沿ってほぼ同時に搬送される。上述したように、各テストトレイの搬送装置はテストトレイの位置の監視のためのセンサや検出回路、位置決めのためのストッパ等の機構類を備えているため大型化する。また、2つの搬送経路間には最小限のスペースが必要となる。これに対して、第3の実施例では2枚のテストトレイが一体化状態にあり、かつテストトレイの搬送経路は1つであるので、テストトレイの搬送装置は小型化され、しかも、無駄なスペースを必要としない。その結果、上記第1の実施例の場合よりも恒温槽4及びエグジット室5の奥行き（Y軸方向の長さ）を短くすることができる。かくして、上記第3の実施例の構成によれば、ICテスト全体の奥行きをさらに短くできるという利点を得られる。

上記第3の実施例では恒温槽4及びエグジット室5の奥行きを長方形のテストトレイ3の横幅（短辺の長さ）にほぼ相当する寸法だけ長くし、ソーク室41からテスト部42を経てエグジット室5に至るテストトレイの搬送経路の幅を、2枚のテストトレイの横幅の和にほぼ等しくし、2枚のテストトレイを一体化した

状態で同時に搬送できるように構成したが、テスト部 4 2 における IC の 1 回の試験にかかる時間が短い場合には、ローダ部 7 から恒温槽 4 のソーク室 4 1 及びテスト部 4 2、エグジット室 5 を経てアンローダ部 8 に至るテストトレイの搬送経路は従来例の IC テスタと同様の構成のままとし、ローダ部 7 及びアンローダ部 8 の奥行き（Y 軸方向の長さ）を長方形のテストトレイ 3 の横幅（短辺の長さ）にほぼ相当する寸法だけ長くし、かつアンローダ部 8 からローダ部 7 に至るテストトレイの搬送経路の幅を 2 枚のテストトレイの横幅の和にほぼ等しくなるように拡張し、2 枚のテストトレイを一体化した状態で同時に搬送できるように構成することが好ましい。

この発明の第 4 の実施例では、図示しないが、図 2 を参照して既に説明したこの発明の第 2 の実施例において、アンローダ部 8 からローダ部 7 に至るテストトレイの搬送経路の幅を、上記第 3 の実施例の場合のように、2 枚のテストトレイの横幅の和にほぼ等しい寸法に拡張して 2 枚のテストトレイを一体化した状態で同時に搬送できるように構成している。

この第 4 の実施例の構成によれば、上記第 2 の実施例によって得られる作用効果に加えて、アンローダ部 8 からローダ部 7 に至るテストトレイの搬送経路が 1 つとなるので、1 つの駆動手段でテストトレイを搬送することができ、かつテストトレイの位置の監視のためのセンサや検出回路、位置決めのためのストップ等の機構類が 1 つで済むので経済的であると共に、テストトレイの搬送装置全体を小型化できるという利点、並びにローダ部 7 及びアンローダ部 8 の奥行き（Y 軸方向の長さ）を第 2 の実施例の場合よりも短くすることができるので、IC テスタ全体の奥行きをさらに短くできるという利点が得られる。

次に、2 枚のテストトレイを互いに係合させ、一体化して搬送することができるテストトレイの構造について説明する。

図 5 は一体化可能なテストトレイの構造の一例を示す平面図であり、互いに係合した状態にある 2 枚のテストトレイ 3-1、3-2 を示す。この図 5 に示すテストトレイのそれぞれは図 1 2 を参照して既に説明した従来のテストトレイ 3 と本質的には同じであり、ほぼ長方形のフレーム 3 0 と、このフレーム 3 0 の長辺 3 0 a、3 0 b に平行にかつ等間隔に形成された 3 本の棧 3 1 と、対向する棧 3

1間の空間、及び棧31と対向する長辺30a、30bとの間の空間に、それぞれ取り付けられた多数個（この例では64個）のICキャリア34とを含み、これら部材は前述した材料より形成されている。

図示の各テストトレイはフレーム30の対向する長辺30a及び30bに2つの凸部33A、33B及び2つの凹部32A、32Bがそれぞれ形成されている点で従来のテストトレイ3と相違している。この例ではフレーム30の一方の長辺30a（図の上側の長辺）に形状の異なる2つの凸部33A、33Bが所定の間隔を置いて形成され、他方の長辺30b（図の下側の長辺）に、上記一方の長辺30aの2つの凸部33A、33Bとそれぞれ対応する位置（フレーム30の中心の棧31に関してほぼ線対称の位置）において、形状の異なる、かつこれら凸部33A、33Bが嵌合可能な2つの凹部32A、32Bが形成されている。この点を除くと、他の部分の構成及び構造は図12に示したテストトレイ3と同じ構成及び構造を有しているのでそれらの説明は省略する。

2つの凸部33A、33Bはその一方の凸部33Bの方が他方の凸部33Aよりも幅が広く、この幅の広い凸部33Bが長辺30aのほぼ中央位置に形成され、図において左側に幅の狭い凸部33Aが形成されている。同様に、2つの凹部32A、32Bは一方の凹部32Bの方が他方の凹部32Aよりも幅が広く、この幅の広い凹部32Bが長辺30bのほぼ中央位置に形成され、図において左側に幅の狭い凹部32Aが形成されている。従って、2枚のテストトレイは水平面において同じ向きに並べないと一方のテストトレイの凹部32A、32Bに他方のテストトレイの凸部33A、33Bを係合（嵌合）することができないように構成されている。

さらに、これら凸部33A、33Bと凹部32A、32B間の嵌合にはゆりみがあるように、凸部33A、33Bの寸法は凹部32A、32Bの寸法よりそれぞれ僅かに小さく選定されている（又は凹部32A、32Bの寸法が凸部33A、33Bの寸法より僅かに大きく選定されている）。

既に記載したように、テストトレイは $-55^{\circ}\text{C}$ ～ $+125^{\circ}\text{C}$ のような広い温度範囲の温度に曝されて使用されるから、その外形寸法は膨張／収縮によってある程度変形する。従って、凸部33A、33Bと凹部32A、32B間の嵌合にゆ

るみがないとこの膨張／収縮によるテストトレイの変形を吸収できず、嵌合、係合状態が解除されたり、テストトレイが湾曲、反りのような好ましくない変形状態となる等の悪影響を受ける。このため、凸部33A、33Bと凹部32A、32B間の嵌合にはゆるみが必要なのである。

図5から容易に理解できるように、図示の例では各凹部32A、32Bはその右側の側壁はほぼ直角に内方へ凹んでいるけれど、左側の側壁は90°より大きな角度を持って斜めに形成されており、一方、各凸部33A、33Bはその左側の側壁はほぼ直角に外方へ突出しているけれど、その右側の側壁は上部において丸みを持っている。その結果、一方のテストトレイ3-1の凹部32A、32Bに他方のテストトレイ3-2の凸部33A、33Bを嵌合させたときに、図5に示すように、各凸部33A、33Bの左側に空間が存在し、また、図5からは明白でないが、各凸部33A、33Bの右側の上部にも僅かな空間が存在することになる。よって、凸部33A、33Bと凹部32A、32B間の嵌合にはゆるみがあるので、温度変化によるテストトレイの変形（膨張／収縮）を十分に吸収することができる。

図6A及び6Bは図5に示す一体化状態の2枚のテストトレイ3-1、3-2を搬送するための搬送装置の一例のガイド部材を示す平面図及びその左側面図である。各テストトレイの対向する長辺30a及び30bにはフレーム30の上面から同一平面をなしてそれぞれ外側へ突出した肉薄の突出部30c及び30dが形成され、長辺30aの突出部30cに2つの凸部33A、33Bが形成され、また、長辺30bの突出部30dに2つの凹部32A、32Bが形成されている。図示の例では2つの突出部33A、33Bのみが長辺30aの肉薄の突出部30cとして残っており、長辺30bの肉薄の突出部30dは2つの凹部32A、32Bを除いた部分が残っている。換言すれば、2つの凹部32A、32Bを形成したことにより3つの凸部が長辺30bの肉薄の突出部30dとして残っている。

上記図4に示した第3の実施例ではソーキ室41の出口からテスト部42の入口までとテスト部42の出口からエグジット室5の入口までのテストトレイの搬送経路に沿って、また、図示しない上記第4の実施例ではアンローダ部8の第1ポジションAからローダ部7までのテストトレイの搬送経路に沿って、図6に示



すように、一体化された2枚のテストトレイ3-1、3-2の両端部の長辺（一方のテストトレイ3-1の長辺30aと他方のテストトレイ3-2の長辺30b）の側面及び肉薄の突出部30c、30dの下面にそれぞれ摺接する断面方形の対向する一対のガイド部材G1及びG2を平行に配置する。また、図示しないが、両テストトレイ3-1、3-2の下面を支持する支持部材も配置されている。

このように、一対のガイド部材G1、G2をテストトレイの搬送経路に沿って平行に配置することによって、一体化された2枚のテストトレイ3-1、3-2は1つの駆動手段によって一体化されたまま、ソーク室41の出口からテスト部42の入口へ、テスト部42の出口からエグジット室5の入口へと搬送され、或いはアンローダ部8からローダ部7へと搬送されることは容易に理解できよう。

なお、図示しないが、ソーク室41の垂直搬送機構の一番上の段のテストトレイ支持段にはローダ部7から搬入される各テストトレイの対向する短辺の側面に摺接する一対のガイド部材を取り付け、エグジット室5の垂直搬送機構の一番上の段のテストトレイ支持段にも各テストトレイの対向する短辺の側面に摺接する一対のガイド部材を取り付ければ、2枚のテストトレイの係合（嵌合）及び係合解除を容易に行うことができる。また、アンローダ部8において2枚のテストトレイを係合（嵌合）させる場合、及びローダ部7において一体化状態の2枚のテストトレイの係合（嵌合）を解除させる場合にも同様に、各テストトレイの対向する短辺の側面に摺接する一対のガイド部材を設ければよい。この場合、アンローダ部8においては第2ポジションB側のガイド部材を移動可能に構成し、一体化状態のテストトレイが第2ポジションBへ移動するときには邪魔にならない位置に移動させる。同様に、ローダ部7においては第2ポジションB側のガイド部材を移動可能に構成し、一体化状態のテストトレイが第2ポジションBからローダ部7へ移動するときには邪魔にならない位置に移動させる。

図5に示す構造のテストトレイ及び上述したテストトレイ搬送装置を上記図4に示したこの発明の第3の実施例において使用することにより、恒温槽4のソーク室41においてローダ部7から送られて来た1番目のテストトレイ3は垂直搬送機構の一番上のテストトレイ支持段の奥の半分の位置まで搬入されて停止し、ローダ部7から2番目のテストトレイが垂直搬送機構の一番上の支持段に搬入さ

れると、1番目のテストトレイの凹部32A、33Bにこの2番目のテストトレイの凸部33A、33Bが嵌合し、一体化状態となることは容易に理解できよう。そして、この一体化された2枚のテストトレイが垂直搬送機構の一番下の支持段から1つの搬送経路に沿ってテスト部42へ搬送され、全ての被試験ICのテスト終了後、一体化状態のままテスト部42からエグジット室5へ搬入され、このエグジット室5から、除熱/除冷後、1枚ずつ順次にテストトレイがアンローダ部8へ搬送されることも容易に理解できよう。

同様に、図5に示す構造のテストトレイ及び上述したテストトレイ搬送装置を上記この発明の第4の実施例において使用することにより、エグジット室5の垂直搬送機構の一番上のテストトレイ支持段からアンローダ部8の第1ポジションAへ1枚ずつ搬出される2枚のテストトレイがアンローダ部8において一体化状態となり、即ち、最初に搬出されたテストトレイの凸部33A、33Bに次に搬出されたテストトレイの凹部32A、32Bが嵌合し、第1ポジションAでの仕分け作業が終了した後、一体化された状態のまま第2ポジションBへ搬送され、この第2ポジションBでの仕分け作業が完了すると、一体化された状態のまま第2ポジションBからローダ部7へ搬送されることも容易に理解できよう。

なお、各テストトレイに形成する凸部及び凹部の形状や個数は任意に変更できるものであり、また、一对のガイド部材G1、G2による一体化状態のテストトレイの支持態様も図示の例に限定されないことは言うまでもない。

図7A～図7Dは一体化可能なテストトレイの構造の他の幾つかの変形例を示すそれぞれ平面図及び斜視図である。図7Aでは各テストトレイの長方形のフレーム30の一方の長辺30a（図の上側の長辺）に外方へ突出する2本のガイドピン61A、61Bを所定の間隔を置いて形成し、他方の長辺30b（図の下側の長辺）には、上記一方の長辺30aの2本のガイドピン61A、61Bとそれぞれ対応する位置（フレーム30の長手方向の中心線に関してほぼ線対称の位置）において、これらガイドピン61A、61Bが嵌合可能な2つの穴62A、62Bを形成したものである。

このように構成しても、2枚のテストトレイ3-1、3-2はソーク室41或いはアンローダ部8において既に停止している1枚のテストトレイに対し次のテ

ストトレイを当接させるだけで互いに係合し、一体化状態となることは容易に理解できよう。なお、これらガイドピン61A、61Bと穴62A、62B間の嵌合にはゆるみがあるように、ガイドピン61A、61Bの寸法は穴62A、62Bの寸法よりそれぞれ僅かに小さく選定されている（又は穴62A、62Bの寸法がガイドピン61A、61Bの寸法より僅かに大きく選定されている）。

図7Bは各テストトレイの対向する長辺30a、30bに専用の係合機構を設けた場合を示す。フレーム30の一方の長辺30a（図の上側の長辺）の上部に、例えば90°の角度範囲で回動可能な係合突起63Aを所定の間隔を置いて2つ取り付け（図では1つだけが見える）、他方の長辺30b（図の下側の長辺）には、上記一方の長辺30aの2つの係合突起63Aとそれぞれ対応する位置（フレーム30の長手方向の中心線に関してほぼ線対称の位置）において、これら係合突起63Aの先端下面に形成された下方へ突出するピン63Dと嵌合可能な穴64Aを形成したものである。

各係合突起63Aはその後端部分が一方の長辺30aに形成された凹部63F内で枢着され、90°の角度範囲（水平位置から直立位置までの角度範囲）で回動可能になっており、ピン63Dを有する先端部分は長辺30aより前方へ突出している。他方の長辺30bに形成された穴64Aはこの長辺30bに形成された凹部64F内に形成されており、両長辺30a、30bの凹部63F、64Fは係合突起63Aの厚さにほぼ等しい深さを有している。

上記構成によれば、ソーク室41或いはアンローダ部8において既に停止している1枚のテストトレイ3-1に対し、次のテストトレイ3-2を、その係合突起63Aを直立させた状態で当接させ、当接後、係合突起63Aを回動させて係合突起63Aのピン63Dを前のテストトレイ3-1の穴64Aに嵌合させることによって、2枚のテストトレイ3-1、3-2は互いに係合し、一体化状態となることは容易に理解できよう。なお、これら係合突起63Aと凹部63F及び64F間の嵌合、ピン63Dと穴64A間の嵌合にはゆるみがあるようにそれらの寸法が設定されることが好ましい。

図7Cは、各テストトレイの長方形のフレーム30の一方の長辺30a（図の上側の長辺）に、その表面と同一平面にて外方へ突出する肉薄の突出部65を形

成し、この突出部 6 5 に 2 つの透孔 6 5 A、6 5 B を所定の間隔を置いて形成し、他方の長辺 3 0 b (図の下側の長辺) には、その底面と同一平面にて外方へ突出する肉薄の突出部 6 6 を形成し、この突出部 6 6 に、上記一方の長辺 3 0 a の 2 つの透孔 6 5 A、6 5 B とそれぞれ対応する位置 (フレーム 3 0 の長手方向の中心線に関してほぼ線対称の位置) において、これら透孔 6 5 A、6 5 B に嵌合可能な 2 つの突起 6 6 A、6 6 B を形成したものである。この場合、両長辺 3 0 a、3 0 b の突出部 6 5、6 6 の厚さはそれらの和が丁度テストトレイの厚さに等しいか、僅かに小さいように選定する。

図 7 C に示す構成においては、ソーク室 4 1 或いはアンローダ部 8 において既に停止している 1 枚のテストトレイ 3-1 に対し、次のテストトレイ 3-2 を図示矢印で示すように下側から上側へと当接させ、前のテストトレイ 3-1 の突出部 6 5 の透孔 6 5 A、6 5 B に後のテストトレイ 3-2 の突出部 6 6 の突起 6 6 A、6 6 B を嵌合させる。これによって 2 枚のテストトレイ 3-1、3-2 は互いに係合し、一体化状態となることは容易に理解できよう。なお、この場合にもこれら透孔 6 5 A、6 5 B と突起 6 6 A、6 6 B 間の嵌合にはゆるみがあるようそれらの寸法が設定されることが好ましい。

図 7 D は専用の結合用フレーム 6 7 を用意し、この結合用フレーム 6 7 にテストトレイを係合状態で収納することができる 2 つの開口部 6 8 A、6 8 B を所定の間隔を置いて形成し、両開口部 6 8 A、6 8 B に 2 枚のテストトレイ 3-1、3-2 をそれぞれ収納し、両テストトレイをこの結合用フレーム 6 7 ごと搬送するように構成した事例を示す。結合用フレーム 6 7 の各開口部 6 8 A、6 8 B は、この例では、図 7 E にその一部分の断面を示すように、各開口部の周縁に段部が形成されており、この段部にテストトレイの長方形のフレーム 3 0 の表面より突出した錨状突起 3 0 f が係止することによって、結合用フレーム 6 7 の各開口部にテストトレイが収納され、かつ結合用フレーム 6 7 の底面とテストトレイの底面とがほぼ同一平面となるように構成されている。

このように構成すると、2 枚のテストトレイは、それら間の配置関係が正確に維持された状態で搬送されるので、IC テスタの各部においての操作、試験、測定等を高い精度で行うことができる。また、2 枚のテストトレイの搬送も結合用

フレーム 67 ごとであるので確実にできる。

上記第 1 ～ 第 4 の各実施例においてはソーク室 41 及びテスト部 42 を含む恒温槽 4 と、エグジット室 5 とが IC テスタの後方側において図の左右方向 (X 軸方向) に配列され、また、恒温槽 4 及びエグジット室 5 の前方に、ローダ部 7 とアンローダ部 8 とが配置されている IC テスタにこの発明を適用したが、他の構成の IC テスタにもこの発明は適用でき、同様の作用効果が得られることは言うまでもない。

例えば、エグジット室 5 をアンローダ部 8 の下側に設置して横幅 (Y 軸方向の長さ) を短くした構成の IC テスタにもこの発明は適用できる。図 8 はこのような構成の IC テスタにこの発明を適用したこの発明の第 5 の実施例の IC テスタの構成を示す概略斜視図である。

この第 5 の実施例は、ソーク室 41 からテスト部 42 に至るテストトレイの搬送経路を 2 経路にし、2 枚のテストトレイをそれぞれの搬送経路で独立にほぼ同時に搬送できるように、又はソーク室 41 からテスト部 42 に至るテストトレイの搬送経路の幅を、2 枚のテストトレイの横幅の和にほぼ等しくし、2 枚のテストトレイを一体化した状態で同時に搬送できるように、構成した事例を示す。なお、図 1、図 2、図 4 及び図 11 と対応する部分や素子には同一符号を付して必要のない限りそれらの説明を省略する。

図示の IC テスタはエグジット室 5 に設けられた垂直搬送機構の各テストトレイ支持段が 1 枚のテストトレイ 3 を支持するスペースしか有していないので、テスト部 42 で 2 枚のテストトレイに載置された全ての IC の試験が終了した後、2 枚のテストトレイは 1 枚ずつ分離されて、搬入された方向とは直角な方向に送り出されてエグジット室 5 の垂直搬送機構の一番下の段へ送られる。エグジット室 5 の垂直搬送機構によって順次に上の段に上昇されたテストトレイ 3 がその最上段に上昇されると、アンローダ部 8 の領域に入り、テストトレイに載置された試験済み IC の仕分けが行われる。

また、図示の IC テスタは、テスト部 42 において 2 枚のテストトレイの試験が終了した後、次の 2 枚の又は一体化された 2 枚のテストトレイがソーク室 41 から迅速にこのテスト部 42 へ搬入できるように、これら 2 枚のテストトレイを

いったんテスト部 4 2 の上部の所定の位置に移動させ、この位置からエグジット室 5 の垂直搬送機構の一番下の段へテストトレイを 1 枚ずつ搬入するように構成されている。

このように構成すると、エグジット室 5 からアンローダ部 8 を経てソーク室 4 1 に至るテストトレイの搬送経路においては、従来例の IC テスタと同様に、テストトレイは 1 枚ずつ搬送されるけれど、ソーク室 4 1 からテスト部 4 2 に至るテストトレイの搬送経路においては、2 枚の又は一体化状態の 2 枚のテストトレイが搬送される。従って、従来より使用されているテストトレイをそのまま使用しているにも拘わらず、テスト部 4 2 では 2 枚のテストトレイに搭載された被試験 IC を同時に試験又は測定することができる。その結果、被試験 IC の同時測定個数は 2 倍に増加する。よって、テスト部 4 2 における IC の 1 回の試験にかかる時間が長い場合には、同時測定個数が倍増されるので、全ての IC のテストが終了するまでの時間（IC テスタのテスト時間）を約  $1/2$  に近い時間にまで短縮することができ、IC 1 個当たりの試験コストが非常に安くなるという利点を得られる。

上記第 5 の実施例では恒温槽 4 の奥行きを長方形のテストトレイ 3 の横幅（短辺の長さ）にほぼ相当する寸法だけ長くし、ソーク室 4 1 からテスト部 4 2 に至るテストトレイの搬送経路を 2 経路にし、2 枚のテストトレイをそれぞれの搬送経路で独立にほぼ同時に搬送できるように、又はソーク室 4 1 からテスト部 4 2 に至るテストトレイの搬送経路の幅を、2 枚のテストトレイの横幅の和にほぼ等しくし、2 枚のテストトレイを一体化した状態で同時に搬送できるように、構成したが、テスト部 4 2 における IC の 1 回の試験にかかる時間が短い場合には、ローダ部 7 から恒温槽 4 のソーク室 4 1 及びテスト部 4 2 を経てエグジット室 5 に至るテストトレイの搬送経路は従来例の IC テスタと同様の構成のままとし、エグジット室 5、ローダ部 7 及びアンローダ部 8 の奥行き（Y 軸方向の長さ）を長方形のテストトレイ 3 の横幅（短辺の長さ）にほぼ相当する寸法だけ長くし、かつアンローダ部 8 からローダ部 7 に至るテストトレイの搬送経路を 2 経路にし、2 枚のテストトレイをそれぞれの搬送経路で独立にほぼ同時に搬送できるように、又はアンローダ部 8 からローダ部 7 に至るテストトレイの搬送経路の幅を 2 枚の

テストトレイの横幅の和にほぼ等しくなるように拡幅し、2枚のテストトレイを一体化した状態で同時に搬送できるように構成することが好ましい。

図9及び図10はこの発明によるICテストの第6の実施例の構成を示す概略斜視図及び恒温槽を断面にした側面図である。

この第6の実施例のICテストは、恒温槽4内に垂直搬送機構が設けられ、この恒温槽5の内部がソーク室41となり、恒温槽5の上部（垂直搬送機構の一番上のテストトレイ支持段の位置）がテスト部42を構成し、恒温槽4の上面にテストヘッド9が下向きに取り付けられ、さらに、ローダ部7及びアンローダ部8が一体化され、かつ垂直搬送機構を備えている構成を有する。

この実施例では恒温槽4内の垂直搬送機構のテストトレイを支持する各段は、1枚のテストトレイの長辺の長さにほぼ等しい寸法の横幅（X軸方向の寸法）と、2枚のテストトレイの横幅の和にほぼ等しい寸法の奥行き（Y軸方向の長さ）とを有し、ローダ部7から送られて来た1番目のテストトレイ3は垂直搬送機構の一番下の段の手前側のほぼ半分（Y軸方向の下側半分）の位置に搬入される。次いで、この一番下の段の手前側の位置から奥のほぼ半分（Y軸方向の上側半分）の位置へと、搬入された方向とは直角な方向へ移動される。そして、ローダ部7から送られて来た2番目のテストトレイ3が再び、垂直搬送機構の一番下の段の手前側のほぼ半分の位置に搬入される。この際、2番目のテストトレイは1番目のテストトレイと予め設定された僅かの間隔を置いた状態で、或いは当接した状態で、一番下の段の手前の位置に収容される。

垂直搬送機構はその各段に2枚のテストトレイを支持した状態で、各段の2枚のテストトレイを垂直方向（Z軸方向）上方の次の段へと順次に移動させる。

垂直搬送機構によって一番下の段の2枚のテストトレイが一番上の段まで順次に移動される間に、2枚のテストトレイ上の被試験ICは高温又は低温の所定の温度ストレスが与えられる。

垂直搬送機構の一番上の段まで上昇した2枚のテストトレイは載置されたICの所定数が、テストヘッド9にH i - f i x（HF）を介して装着されたICソケットと、テストトレイに搭載されたまま、電氣的に接触させられ、ICの試験が行われる。既に説明したように、テストヘッド9はICテスト本体とケーブル

91によって電氣的に接続されている。

試験終了後、まず、恒温槽4の垂直搬送機構の一番上の段の手前の半分の位置に存在するテストトレイがテスト部42から恒温槽4の出口を経てローダ部7／アンローダ部8の垂直搬送機構の一番上のテストトレイ支持段に搬入される。この一番上の段の手前側のテストトレイが搬出されると、奥の半分の位置に存在するテストトレイが手前側の位置に移動される。

図示のICテストはローダ部7／アンローダ部8に設けられた垂直搬送機構の各テストトレイ支持段が1枚のテストトレイ3を支持するスペースしか有していないので、一番上の段に搬入されたテストトレイが垂直搬送機構によって次の段に降下されるまで、恒温槽4からは試験済みICを載置したテストトレイを搬出できない。

ローダ部7／アンローダ部8の垂直搬送機構の一番上の段に搬入されたテストトレイが次の段に降下されると、恒温槽4の垂直搬送機構の一番上の段の手前の半分の位置に移動されたテストトレイが恒温槽4の出口を経てローダ部7／アンローダ部8の垂直搬送機構の一番上のテストトレイ支持段に搬入される。

ローダ部7／アンローダ部8の垂直搬送機構によってテストトレイが一番下の段まで降下されると、このテストトレイに汎用トレイ1から被試験ICが再び積み込まれる。以下、同様の動作を繰り返すことになる。

この第6の実施例においては、テスト部42において試験が終了したICを載置したテストトレイを恒温槽4の出口から送り出す際に、上述したように、同時に試験（測定）された2枚のテストトレイを1枚ずつ2回に分けて搬出することになるので、恒温槽4とローダ部7／アンローダ部8との間にバッファ部（図示せず）を設けて2枚のテストトレイを一度に同時に恒温槽4から外部のバッファ部に搬出し、このバッファ部に試験済みICを一時的に収容し、試験結果に基づいて対応する汎用トレイに仕分けするように構成し、全体の試験（測定）時間を短縮することが好ましい。

或いは、ローダ部7／アンローダ部8の垂直搬送機構の各テストトレイ支持段のスペースを、2枚のテストトレイ3を収容できる大きさに選定し、各段に2枚のテストトレイを支持した状態で、各段の2枚のテストトレイを垂直方向に順次



に移動できるように構成すれば、より一層試験時間及び、又は試験済み I C の処理時間を短縮することができる。

垂直搬送機構によって一番下の段の 2 枚のテストトレイが一番上の段まで順次に移動される間に、2 枚のテストトレイ上の被試験 I C は高温又は低温の所定の温度ストレスが与えられる。

上記第 1 ～ 第 5 の各実施例においては、恒温槽 4 のソーク室 4 1 からエグジット室 5 までの搬送経路において、或いは恒温槽 4 のソーク室 4 1 からテスト部 4 2 までの搬送経路において、或いはアンローダ部 8 からローダ部 7 までの搬送経路において、2 枚のテストトレイを並置状態（パラレル状態）で搬送する際に、長方形のテストトレイを横長の状態（短辺を先頭にした状態）で搬送したが、長方形のテストトレイを縦長の状態（長辺を先頭にした状態）で搬送し、かつ進行方向に 2 枚連続した状態（直列状態）で搬送するように構成しても、上記各実施例と同等の作用効果が得られることは言うまでもない。

また、上記第 6 の実施例においては垂直搬送機構の各テストトレイ支持段のスペースを縦長状態の 2 枚のテストトレイを収容できる寸法に選定すればよい。

なお、上記第 1 ～ 第 5 の各実施例においても、ソーク室 4 1、エグジット室 5 等の垂直搬送機構は、その各テストトレイ支持段のスペースを縦長状態の 2 枚のテストトレイを収容できる寸法に選定することになる。

また、被試験 I C を常温で試験する場合には、テストトレイ 3 は高／低温に耐える材料によって構成される必要はなく、その上、ソーク室 4 1 及びエグジット室 5 は不必要であり、勿論、恒温槽 4 も必要としない。従って、このような I C テスタの場合には、テストトレイ 3 はローダ部 7 からテスト部 4 2 へ送られてテストトレイ上の被試験 I C の試験が行われ、試験終了後、テスト部 4 2 からアンローダ部 8 へ試験済み I C を載置したテストトレイは搬送される。よって、上述したこの発明は、ローダ部 7 からテスト部 4 2 までの搬送経路に対して、或いはローダ部 7 からテスト部 4 2 を経てアンローダ部 8 に至るテストトレイの搬送経路に対して、適用されることになる。

以上の説明で明白なように、この発明によれば、I C テスタの外形寸法の増加は比較的少ないにも拘わらず、被試験 I C の同時測定個数を約 2 倍に増大するこ

とができるから、或いはアンローダ部での試験済み I C の処理個数を相当に増大させることができるし、また、ローダ部での I C の搬送処理時間をかなり短縮できるので、I C テスタにおいて全ての I C のテストが終了するまでの時間を最大で約 1 / 2 に近い時間にまで短縮することができる。よって、I C 1 個当たりの試験コストが非常に安くなるという顕著な利点を得られる。

## 請 求 の 範 囲

1. 半導体デバイスをテストトレイに載置してテスト部へ搬送し、このテスト部において半導体デバイスをテストトレイに載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバイス試験装置において、

半導体デバイスを載置したテストトレイを上記テスト部へ搬入するテストトレイの搬送経路を複数経路設けたことを特徴とする半導体デバイス試験装置。

2. 半導体デバイスを載置したテストトレイを上記テスト部へ搬入する上記テストトレイの搬送経路に加えるに、上記テスト部での試験終了後、試験済み半導体デバイスを載置したテストトレイを上記テスト部から搬出するテストトレイの搬送経路を複数経路設けたことを特徴とする請求の範囲第1項に記載の半導体デバイス試験装置。

3. 上記半導体デバイス試験装置は、上記テスト部に加えるに、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備えており、

上記ローダ部から上記テスト部に至るテストトレイの搬送経路を、上記複数経路としたことを特徴とする請求の範囲第1項に記載の半導体デバイス試験装置。

4. 上記半導体デバイス試験装置は、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部と、このテスト部での試験が終了した試験済み半導体デバイスを除熱／除冷するための手段と、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備えており、

上記温度ストレス付与手段から上記テスト部に至るテストトレイの搬送経路を、上記複数経路としたことを特徴とする請求の範囲第1項に記載の半導体デバイス試験装置。

5. 上記温度ストレス付与手段及び上記テスト部が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段及びテスト部の前側に配列され、上記除熱/除冷するための手段が上記テスト部の前側で、かつ上記アンローダ部の下側に配置されていることを特徴とする請求の範囲第4項に記載の半導体デバイス試験装置。

6. 上記半導体デバイス試験装置は、上記テスト部に加えるに、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備えており、

上記ローダ部から上記テスト部を経て上記アンローダ部に至るテストトレイの搬送経路を、上記複数経路としたことを特徴とする請求の範囲第1項又は第2項に記載の半導体デバイス試験装置。

7. 上記半導体デバイス試験装置は、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部と、このテスト部での試験が終了した試験済み半導体デバイスを除熱/除冷するための手段と、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記除熱/除冷手段から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備えており、

上記温度ストレス付与手段から上記テスト部を経て上記除熱/除冷手段に至るテストトレイの搬送経路を、上記複数経路としたことを特徴とする請求の範囲第1項又は第2項に記載の半導体デバイス試験装置。

8. 上記温度ストレス付与手段、上記テスト部及び上記除熱/除冷するための手

段が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段、テスト部及び除熱／除冷するための手段の前側に配列されていることを特徴とする請求の範囲第7項に記載の半導体デバイス試験装置。

9. 上記テストトレイの搬送経路は2つであることを特徴とする請求の範囲第1項乃至第8項のいずれか1つに記載の半導体デバイス試験装置。

10. 上記温度ストレス付与手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、複数枚のテストトレイを格納できるスペースを有し、上記ローダ部から順次に送られて来る複数枚のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段に、その奥の位置から順次に、隣接するトレイ間に予め設定された僅かの間隔を置いた状態で、或いは当接した状態で、格納されることを特徴とする請求の範囲第4項、第5項、第7項及び第8項のいずれか1つに記載の半導体デバイス試験装置。

11. 上記テストトレイの搬送経路は2つであり、上記温度ストレス付与手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、2枚のテストトレイを格納できるスペースを有し、上記ローダ部から送られて来る1番目のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段の奥の位置まで搬入され、上記ローダ部から送られて来る2番目のテストトレイが、上記1番目のテストトレイと予め設定された僅かの間隔を置いた状態で、或いは当接した状態で、上記一番上又は一番下の支持段の手前側の位置に格納されることを特徴とする請求の範囲第4項、第5項、第7項及び第8項のいずれか1つに記載の半導体デバイス試験装置。

12. 上記除熱／除冷手段は複数枚のテストトレイを所定の間隔を置いて積層状

態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、複数枚のテストトレイを格納できるスペースを有し、上記テスト部から送られて来た複数枚のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段にそのまま格納されることを特徴とする請求の範囲第4項、第5項、第7項及び第8項のいずれか1つに記載の半導体デバイス試験装置。

13. 上記テストトレイの搬送経路は2つであり、上記除熱/除冷手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、2枚のテストトレイを格納できるスペースを有し、上記テスト部から送られて来た2枚のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段にそのまま格納されることを特徴とする請求の範囲第4項、第5項、第7項及び第8項のいずれか1つに記載の半導体デバイス試験装置。

14. 半導体デバイスをテストトレイに転送、載置し直すローダ部と、試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備え、半導体デバイスをテストトレイに載置して上記ローダ部からテスト部へ搬送し、このテスト部において半導体デバイスを、テストトレイに載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から上記アンローダ部へ搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバイス試験装置において、

上記アンローダ部から上記ローダ部へ至るテストトレイの搬送経路が複数経路設けられていることを特徴とする半導体デバイス試験装置。

15. 上記半導体デバイス試験装置は、さらに、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部での試験が終了した試験済み半導体デバイスを除熱/除冷するための手段とを含み、

上記温度ストレス付与手段及び上記テスト部が上記半導体デバイス試験装置の

後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段及びテスト部の前側に配列され、上記除熱／除冷するための手段が上記テスト部の前側で、かつ上記アンローダ部の下側に配置されていることを特徴とする請求の範囲第14項に記載の半導体デバイス試験装置。

16. 上記半導体デバイス試験装置は、さらに、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部での試験が終了した試験済み半導体デバイスを除熱／除冷するための手段とを含み、

上記温度ストレス付与手段、上記テスト部及び上記除熱／除冷するための手段が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段、テスト部及び除熱／除冷するための手段の前側に配列されていることを特徴とする請求の範囲第14項に記載の半導体デバイス試験装置。

17. 上記テストトレイの搬送経路は2つであることを特徴とする請求の範囲第14項乃至第16項のいずれか1つに記載の半導体デバイス試験装置。

18. 半導体デバイスをテストトレイに載置してテスト部へ搬送し、このテスト部において半導体デバイスを、テストトレイに載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバイス試験装置において、

半導体デバイスを載置したテストトレイを上記テスト部へ搬入するテストトレイの搬送経路を、この搬送経路を横切る方向に複数枚のテストトレイを並べた状態で同時に搬送することができる幅の広い搬送経路にしたことを特徴とする半導体デバイス試験装置。

19. 半導体デバイスを載置したテストトレイを上記テスト部へ搬入する上記テストトレイの搬送経路に加えるに、上記テスト部での試験終了後、試験済み半導

体デバイスを載置したテストトレイを上記テスト部から搬出するテストトレイの搬送経路を、上記搬送経路を横切る方向に複数枚のテストトレイを並べた状態で同時に搬送することができる幅の広い搬送経路としたことを特徴とする請求の範囲第18項に記載の半導体デバイス試験装置。

20. 上記半導体デバイス試験装置は、上記テスト部に加えるに、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備えており、

上記ローダ部から上記テスト部に至るテストトレイの搬送経路を、上記搬送経路を横切る方向に複数枚のテストトレイを並べた状態で同時に搬送することができる幅の広い搬送経路としたことを特徴とする請求の範囲第18項に記載の半導体デバイス試験装置。

21. 上記半導体デバイス試験装置は、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部と、このテスト部での試験が終了した試験済み半導体デバイスを除熱／除冷するための手段と、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備えており、

上記温度ストレス付与手段から上記テスト部に至るテストトレイの搬送経路を、上記搬送経路を横切る方向に複数枚のテストトレイを並べた状態で同時に搬送することができる幅の広い搬送経路としたことを特徴とする請求の範囲第18項に記載の半導体デバイス試験装置。

22. 上記温度ストレス付与手段及び上記テスト部が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段及びテスト部の前側に配列され、上記除熱／除冷するための手段が上記テスト部の前側で、かつ上記アンローダ部の下側に配置されていることを特徴と



する請求の範囲第 2 1 項に記載の半導体デバイス試験装置。

23. 上記半導体デバイス試験装置は、上記テスト部に加えるに、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備えており、

上記ローダ部から上記テスト部を経て上記アンローダ部に至るテストトレイの搬送経路を、上記搬送経路を横切る方向に複数枚のテストトレイを並べた状態で同時に搬送することができる幅の広い搬送経路としたことを特徴とする請求の範囲第 1 8 項又は第 1 9 項に記載の半導体デバイス試験装置。

24. 上記半導体デバイス試験装置は、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部と、このテスト部での試験が終了した試験済み半導体デバイスを除熱／除冷するための手段と、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記除熱／除冷手段から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備えており、

上記温度ストレス付与手段から上記テスト部を経て上記除熱／除冷手段に至るテストトレイの搬送経路を、上記搬送経路を横切る方向に複数枚のテストトレイを並べた状態で同時に搬送することができる幅の広い搬送経路としたことを特徴とする請求の範囲第 1 8 項又は第 1 9 項に記載の半導体デバイス試験装置。

25. 上記温度ストレス付与手段、上記テスト部及び上記除熱／除冷するための手段が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段、テスト部及び除熱／除冷するための手段の前側に配列されていることを特徴とする請求の範囲第 2 4 項に記載の半導体デバイス試験装置。

26. 上記テストトレイの搬送経路を横切る方向に並べられた複数枚のテストト

レイは互いに係合状態にあることを特徴とする請求の範囲第18項乃至第25項のいずれか1つに記載の半導体デバイス試験装置。

27. 上記テストトレイの搬送経路を横切る方向に並べられた複数枚のテストトレイは2枚であり、かつ互いに係合状態にあることを特徴とする請求の範囲第18項乃至第25項のいずれか1つに記載の半導体デバイス試験装置。

28. 上記温度ストレス付与手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、複数枚のテストトレイを格納できるスペースを有し、上記ローダ部から順次に送られて来る複数枚のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段に、その奥の位置から順次、互いに係合した一体化状態で、格納されることを特徴とする請求の範囲第21項、第22項、第24項及び第25項のいずれか1つに記載の半導体デバイス試験装置。

29. 上記テストトレイの搬送経路を横切る方向に並べられた複数枚のテストトレイは2枚であり、かつ互いに係合状態にあり、

上記温度ストレス付与手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、2枚のテストトレイを格納できるスペースを有し、上記ローダ部から送られて来る1番目のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段の奥の位置まで搬入され、上記ローダ部から送られて来る2番目のテストトレイが、上記1番目のテストトレイと互いに係合した状態で、上記一番上又は一番下の支持段の手前側の位置に格納されることを特徴とする請求の範囲第21項、第22項、第24項及び第25項のいずれか1つに記載の半導体デバイス試験装置。

30. 上記除熱／除冷手段は複数枚のテストトレイを所定の間隔を置いて積層状

態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、複数枚のテストトレイを格納できるスペースを有し、上記テスト部から送られて来る、上記搬送経路を横切る方向に並べられた複数枚のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段にそのまま格納されることを特徴とする請求の範囲第21項、第22項、第24項及び第25項のいずれか1つに記載の半導体デバイス試験装置。

31. 上記テストトレイの搬送経路を横切る方向に並べられた複数枚のテストトレイは2枚であり、かつ互いに係合状態にあり、

上記除熱／除冷手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、2枚のテストトレイを格納できるスペースを有し、上記テスト部から送られて来る、上記搬送経路を横切る方向に並べられた2枚のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段にそのまま格納されることを特徴とする請求の範囲第21項、第22項、第24項及び第25項のいずれか1つに記載の半導体デバイス試験装置。

32. 半導体デバイスをテストトレイに転送、載置し直すローダ部と、試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備え、半導体デバイスをテストトレイに載置して上記ローダ部からテスト部へ搬送し、このテスト部において半導体デバイスを、テストトレイに載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から上記アンローダ部へ搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバイス試験装置において、

上記アンローダ部から上記ローダ部へ至るテストトレイの搬送経路を、この搬送経路を横切る方向に複数枚のテストトレイを並べた状態で同時に搬送することができる幅の広い搬送経路にしたことを特徴とする半導体デバイス試験装置。

33. 上記半導体デバイス試験装置は、さらに、半導体デバイスに所定の温度ス

トレスを与えるための温度ストレス付与手段と、上記テスト部での試験が終了した試験済み半導体デバイスを除熱／除冷するための手段とを含み、

上記温度ストレス付与手段及び上記テスト部が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段及びテスト部の前側に配列され、上記除熱／除冷するための手段が上記テスト部の前側で、かつ上記アンローダ部の下側に配置されていることを特徴とする請求の範囲第32項に記載の半導体デバイス試験装置。

34. 上記半導体デバイス試験装置は、さらに、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部での試験が終了した試験済み半導体デバイスを除熱／除冷するための手段とを含み、

上記温度ストレス付与手段、上記テスト部及び上記除熱／除冷するための手段が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段、テスト部及び除熱／除冷するための手段の前側に配列されていることを特徴とする請求の範囲第32項に記載の半導体デバイス試験装置。

35. 上記テストトレイの搬送経路を横切る方向に並べられた複数枚のテストトレイは互いに係合状態にあることを特徴とする請求の範囲第32項乃至第34項のいずれか1つに記載の半導体デバイス試験装置。

36. 上記テストトレイの搬送経路を横切る方向に並べられたテストトレイの数は2枚であり、かつ互いに係合状態にあることを特徴とする請求の範囲第32項乃至第34項のいずれか1つに記載の半導体デバイス試験装置。

37. 半導体デバイスをテストトレイに載置してテスト部へ搬送し、このテスト部において半導体デバイスを、テストトレイに載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバ

イス試験装置において、

上記テストトレイはほぼ長方形状であり、

半導体デバイスを載置したテストトレイを上記テスト部へ搬入するテストトレイの搬送経路を、上記長方形状のテストトレイをその長辺側を進行方向の前部にした状態で搬送することができる幅の広い搬送経路にしたことを特徴とする半導体デバイス試験装置。

38. 半導体デバイスを載置した長方形状のテストトレイを上記テスト部へ搬入する上記テストトレイの搬送経路に加えるに、上記テスト部での試験終了後、試験済み半導体デバイスを載置した長方形状のテストトレイを上記テスト部から搬出するテストトレイの搬送経路を、上記長方形状のテストトレイをその長辺側を進行方向の前部にした状態で搬送することができる幅の広い搬送経路にしたことを特徴とする請求の範囲第37項に記載の半導体デバイス試験装置。

39. 上記半導体デバイス試験装置は、上記テスト部に加えるに、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備えており、

上記ローダ部から上記テスト部に至るテストトレイの搬送経路を、上記長方形状のテストトレイをその長辺側を進行方向の前部にした状態で搬送することができる幅の広い搬送経路としたことを特徴とする請求の範囲第37項に記載の半導体デバイス試験装置。

40. 上記半導体デバイス試験装置は、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部と、このテスト部での試験が終了した試験済み半導体デバイスを除熱／除冷するための手段と、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備えており、

上記温度ストレス付与手段から上記テスト部に至るテストトレイの搬送経路を、上記長形状のテストトレイをその長辺側を進行方向の前部にした状態で搬送することができる幅の広い搬送経路としたことを特徴とする請求の範囲第37項に記載の半導体デバイス試験装置。

41. 上記温度ストレス付与手段及び上記テスト部が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段及びテスト部の前側に配列され、上記除熱／除冷するための手段が上記テスト部の前側で、かつ上記アンローダ部の下側に配置されていることを特徴とする請求の範囲第40項に記載の半導体デバイス試験装置。

42. 上記半導体デバイス試験装置は、上記テスト部に加えるに、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備えており、

上記ローダ部から上記テスト部を経て上記アンローダ部に至るテストトレイの搬送経路を、上記長形状のテストトレイをその長辺側を進行方向の前部にした状態で搬送することができる幅の広い搬送経路としたことを特徴とする請求の範囲第37項又は第38項に記載の半導体デバイス試験装置。

43. 上記半導体デバイス試験装置は、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部と、このテスト部での試験が終了した試験済み半導体デバイスを除熱／除冷するための手段と、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記除熱／除冷手段から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備えており、

上記温度ストレス付与手段から上記テスト部を経て上記除熱／除冷手段に至るテストトレイの搬送経路を、上記長形状のテストトレイをその長辺側を進行方向の前部にした状態で搬送することができる幅の広い搬送経路としたことを特徴

とする請求の範囲第 3 7 項又は第 3 8 項に記載の半導体デバイス試験装置。

4 4. 上記温度ストレス付与手段、上記テスト部及び上記除熱／除冷するための手段が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段、テスト部及び除熱／除冷するための手段の前側に配列されていることを特徴とする請求の範囲第 4 3 項に記載の半導体デバイス試験装置。

4 5. 一度に複数枚の上記長方形形状のテストトレイが、その長辺側を進行方向の前部にして、連続した状態で上記テストトレイの搬送経路を通じて上記テスト部へ搬送されることを特徴とする請求の範囲第 3 7 項乃至第 4 4 項のいずれか 1 つに記載の半導体デバイス試験装置。

4 6. 一度に 2 枚の上記長方形形状のテストトレイが、その長辺側を進行方向の前部にして、連続して上記テストトレイの搬送経路を通じて上記テスト部へ搬送されることを特徴とする請求の範囲第 3 7 項乃至第 4 4 項のいずれか 1 つに記載の半導体デバイス試験装置。

4 7. 上記温度ストレス付与手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は、上記ローダ部から送られて来る複数枚のテストトレイを、その長辺側を進行方向の前部にして、一列に格納できるスペースを有することを特徴とする請求の範囲第 4 0 項、第 4 1 項、第 4 3 項及び第 4 4 項のいずれか 1 つに記載の半導体デバイス試験装置。

4 8. 上記ローダ部から順次に送られて来る複数枚のテストトレイは、一番最後のテストトレイを除き、上記垂直搬送機構の一番上又は一番下のテストトレイ支持段に搬入された後、この搬入された方向と直角な方向に順次に送られ、上記一番最後のテストトレイは上記ローダ部から搬入されたままに保持されることによ

って、上記温度ストレス付与手段の出口側から、隣接するトレイ間に予め設定された僅かの間隔を置いた状態で、或いは当接した状態で、上記垂直搬送機構の一番上又は一番下のテストトレイ支持段に一系列に並置されて格納されることを特徴とする請求の範囲第47項に記載の半導体デバイス試験装置。

49. 上記温度ストレス付与手段が備えている垂直搬送機構のテストトレイを支持する各段は、2枚のテストトレイを、その長辺側を進行方向の前部にして、一系列に格納できるスペースを有することを特徴とする請求の範囲第47項に記載の半導体デバイス試験装置。

50. 上記除熱/除冷手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は複数枚のテストトレイを、その長辺側を進行方向の前部にして、一系列に格納できるスペースを有し、上記テスト部から連続的に送られて来る複数枚のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段にそのまま格納されることを特徴とする請求の範囲第40項、第41項、第43項及び第44項のいずれか1つに記載の半導体デバイス試験装置。

51. 上記除熱/除冷手段は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備え、この垂直搬送機構のテストトレイを支持する各段は2枚のテストトレイを、その長辺側を進行方向の前部にして、一系列に格納できるスペースを有し、上記テスト部から連続的に送られて来る2枚のテストトレイが上記垂直搬送機構の一番上又は一番下のテストトレイ支持段にそのまま格納されることを特徴とする請求の範囲第40項、第41項、第43項及び第44項のいずれか1つに記載の半導体デバイス試験装置。

52. 半導体デバイスをテストトレイに転送、載置し直すローダ部と、試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを備え、半導体デバイスをテストトレイに載置して上記ローダ部からテスト部へ搬送し、このテ



スト部において半導体デバイスを、テストトレイに載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から上記アンローダ部へ搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバイス試験装置において、

上記アンローダ部から上記ローダ部へ至るテストトレイの搬送経路を、上記長方形形状のテストトレイをその長辺側を進行方向の前部にした状態で搬送することができる幅の広い搬送経路にしたことを特徴とする半導体デバイス試験装置。

53. 上記半導体デバイス試験装置は、さらに、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部での試験が終了した試験済み半導体デバイスを除熱／除冷するための手段とを含み、

上記温度ストレス付与手段及び上記テスト部が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段及びテスト部の前側に配列され、上記除熱／除冷するための手段が上記テスト部の前側で、かつ上記アンローダ部の下側に配置されていることを特徴とする請求の範囲第52項に記載の半導体デバイス試験装置。

54. 上記半導体デバイス試験装置は、さらに、半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部での試験が終了した試験済み半導体デバイスを除熱／除冷するための手段とを含み、

上記温度ストレス付与手段、上記テスト部及び上記除熱／除冷するための手段が上記半導体デバイス試験装置の後部に配列され、上記ローダ部及び上記アンローダ部がこれら温度ストレス付与手段、テスト部及び除熱／除冷するための手段の前側に配列されていることを特徴とする請求の範囲第52項に記載の半導体デバイス試験装置。

55. 一度に複数枚の上記長方形形状のテストトレイが、その長辺側を進行方向の前部にして、連続した状態で上記テストトレイの搬送経路を通じて上記テスト部へ搬送されることを特徴とする請求の範囲第52項乃至第54項いずれか1つに

記載の半導体デバイス試験装置。

56. 一度に2枚の上記長方形形状のテストトレイが、その長辺側を進行方向の前部にして、連続して上記テストトレイの搬送経路を通じて上記テスト部へ搬送されることを特徴とする請求の範囲第52項乃至第54項いずれか1つに記載の半導体デバイス試験装置。

57. 半導体デバイスをテストトレイに載置してテスト部へ搬送し、このテスト部において半導体デバイスをテストトレイに載置したまま、試験し、試験終了後、テストトレイに載置された試験済み半導体デバイスを上記テスト部から搬出し、試験結果に基づいて試験済み半導体デバイスを仕分けする形式の半導体デバイス試験装置において、

半導体デバイスに所定の温度ストレスを与えるための温度ストレス付与手段と、上記テスト部とを含む恒温槽内に、複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を設け、この垂直搬送機構のテストトレイを支持する各段に複数枚のテストトレイを格納して上記テスト部へ同時に複数枚のテストトレイを搬送するようにしたことを特徴とする半導体デバイス試験装置。

58. 上記半導体デバイス試験装置は、さらに、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導体デバイスを試験結果に基づいて仕分けするアンローダ部とを含み、これらローダ部及びアンローダ部は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備えており、この垂直搬送機構のテストトレイを支持する各段は1枚のテストトレイを格納するスペースを有していることを特徴とする請求の範囲第57項に記載の半導体デバイス試験装置。

59. 上記半導体デバイス試験装置は、さらに、半導体デバイスをテストトレイに転送、載置し直すローダ部と、上記テスト部から搬送されて来た試験済み半導

体デバイスを試験結果に基づいて仕分けするアンローダ部とを含み、これらローダ部及びアンローダ部は複数枚のテストトレイを所定の間隔を置いて積層状態で支持できるように構成された垂直搬送機構を備えており、この垂直搬送機構のテストトレイを支持する各段は複数枚のテストトレイを格納するスペースを有していることを特徴とする請求の範囲第57項に記載の半導体デバイス試験装置。

60. 上記恒温槽の上部にテストヘッドが装着されており、上記恒温槽内の垂直搬送機構によって各テストトレイ支持段に格納された複数枚のテストトレイが順次に上昇されて一番上の段まで上昇すると、上記テストヘッドに下向きに取り付けられたデバイスソケットに、上記一番上の段の複数枚のテストトレイに載置された半導体デバイスの所定数が電氣的に接触することを可能にされることを特徴とする請求の範囲第57項乃至第59項のいずれか1つに記載の半導体デバイス試験装置。

61. 上記恒温槽内の上垂直搬送機構のテストトレイを支持する各段は、上記ローダ部から送られて来る複数枚のテストトレイを、一列に並べて格納できるスペースを有し、上記ローダ部から順次に送られて来る複数枚のテストトレイは、一番最後のテストトレイを除き、上記垂直搬送機構の一番上又は一番下のテストトレイ支持段に搬入された後、この搬入された方向と直角な方向に順次に送られ、上記一番最後のテストトレイは上記ローダ部から搬入されたままに保持されることを特徴とする請求の範囲第58項又は第59項に記載の半導体デバイス試験装置。

62. 各テストトレイがほぼ方形のフレームと、このフレームの対向する2辺のうちの一方に形成された凹部と、他方の辺に形成された凸部とを備え、一方のテストトレイの凹部に他方のテストトレイの凸部が係合することによって一体化されることを特徴とする請求の範囲第18項乃至第36項のいずれか1つに記載の半導体デバイス試験装置に使用されるテストトレイ。

63. 各テストトレイがほぼ方形のフレームと、このフレームの対向する2辺のうち一方に形成された回動可能な係合突起と、他方の辺に形成された上記係合突起に係合する凹部とを備え、一方のテストトレイの係合突起と他方のテストトレイの凹部に係合することによって一体化されることを特徴とする請求の範囲第18項乃至第36項のいずれか1つに記載の半導体デバイス試験装置に使用されるテストトレイ。

64. ほぼ方形の板状部材にテストトレイが嵌合する2つの開口部を所定の間隔をおいて並置状態に形成し、これら開口部に2枚のテストトレイを嵌合させて上記板状部材ごと上記テストトレイの搬送経路に沿って搬送させるように構成したことを特徴とする請求の範囲第18項乃至第36項のいずれか1つに記載の半導体デバイス試験装置。

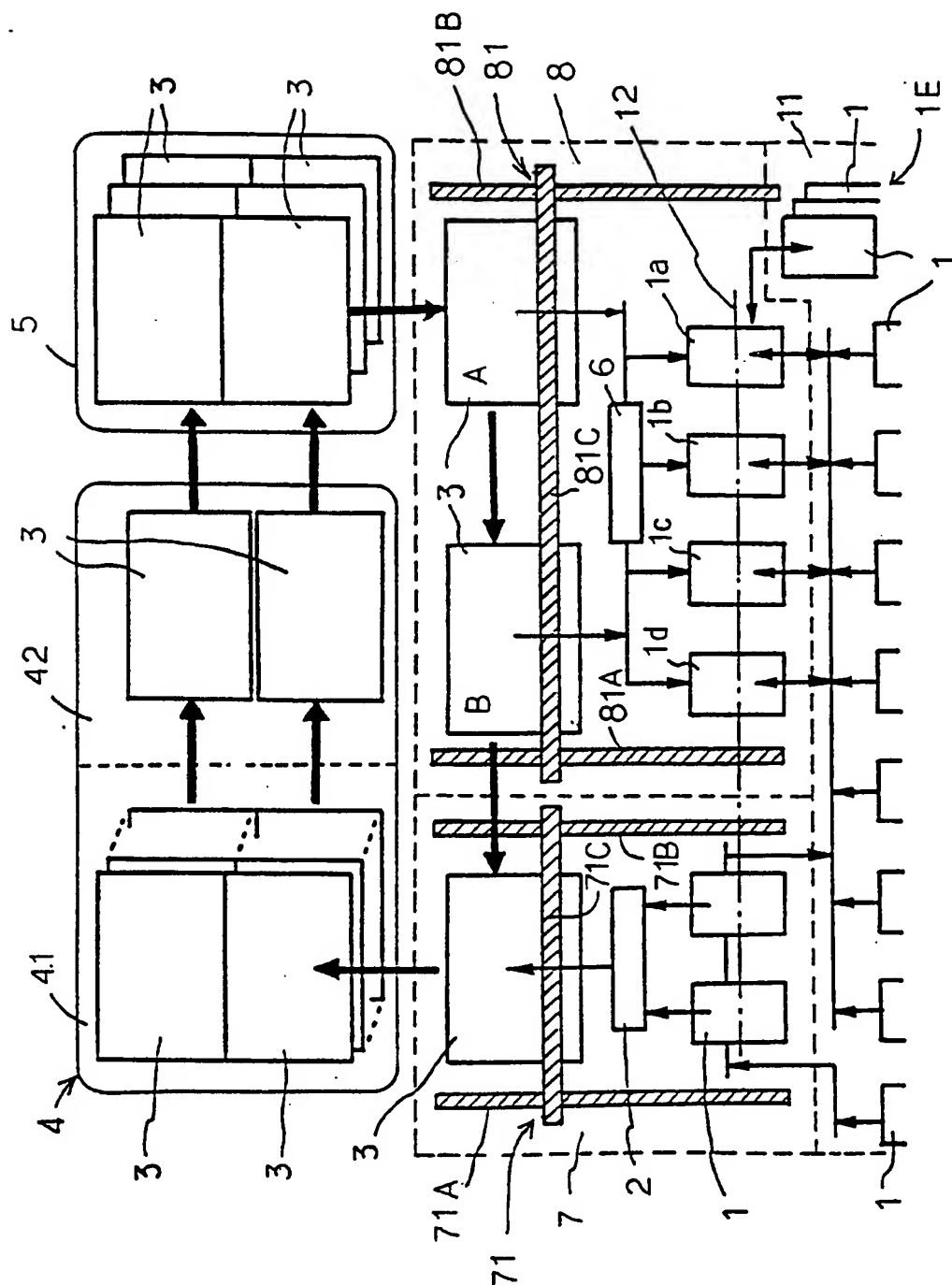
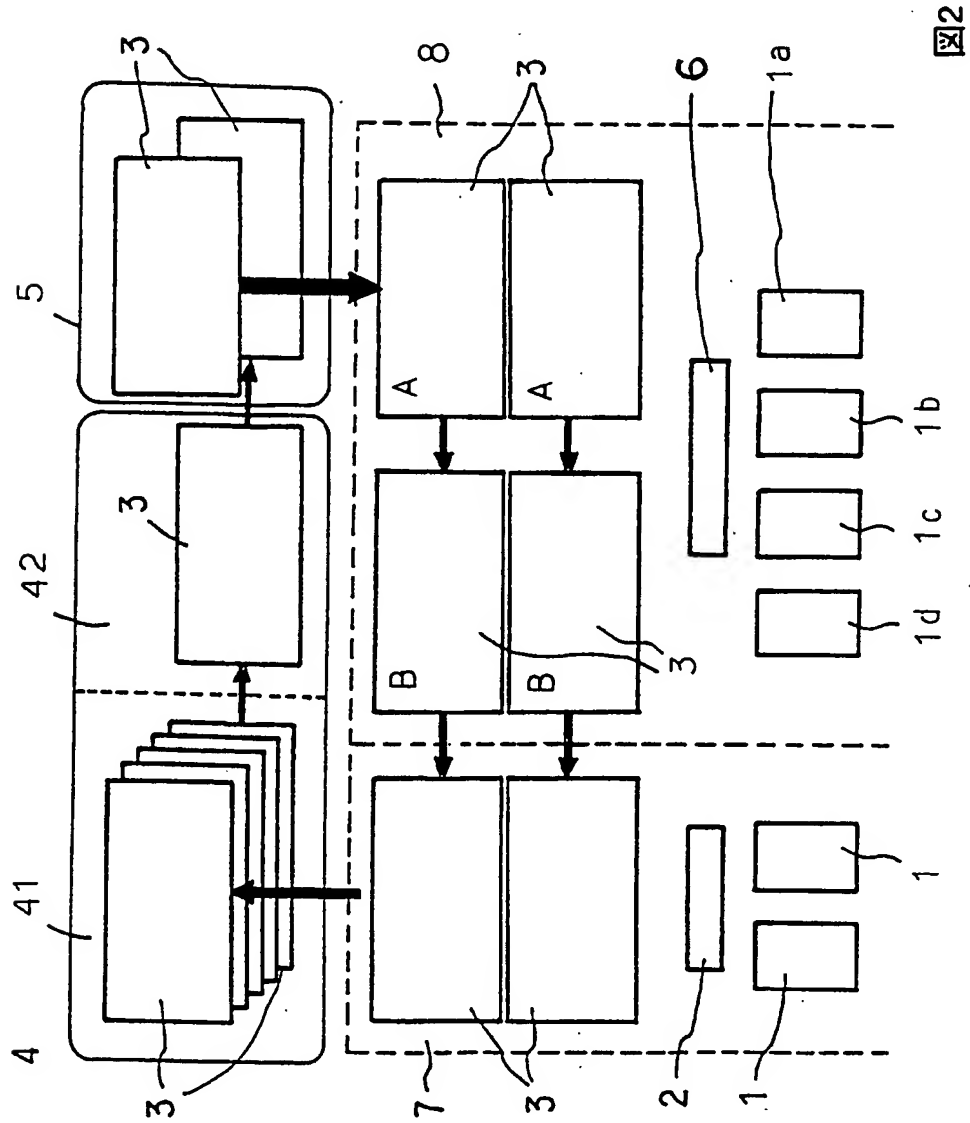


図1



3/14

3

1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	2	1	1	1	1	1	1	1	1	2	1
1	1	1	1	1	1	1	1	1	1	3	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

(a)

1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	2	1	1	1	1	1	1	1	1	2	1
1	1	1	1	1	1	1	1	1	1	3	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

3

1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	2	1	1	1	1	1	1	1	1	2	1
1	1	1	1	1	1	1	1	1	1	3	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

3

(b)

3

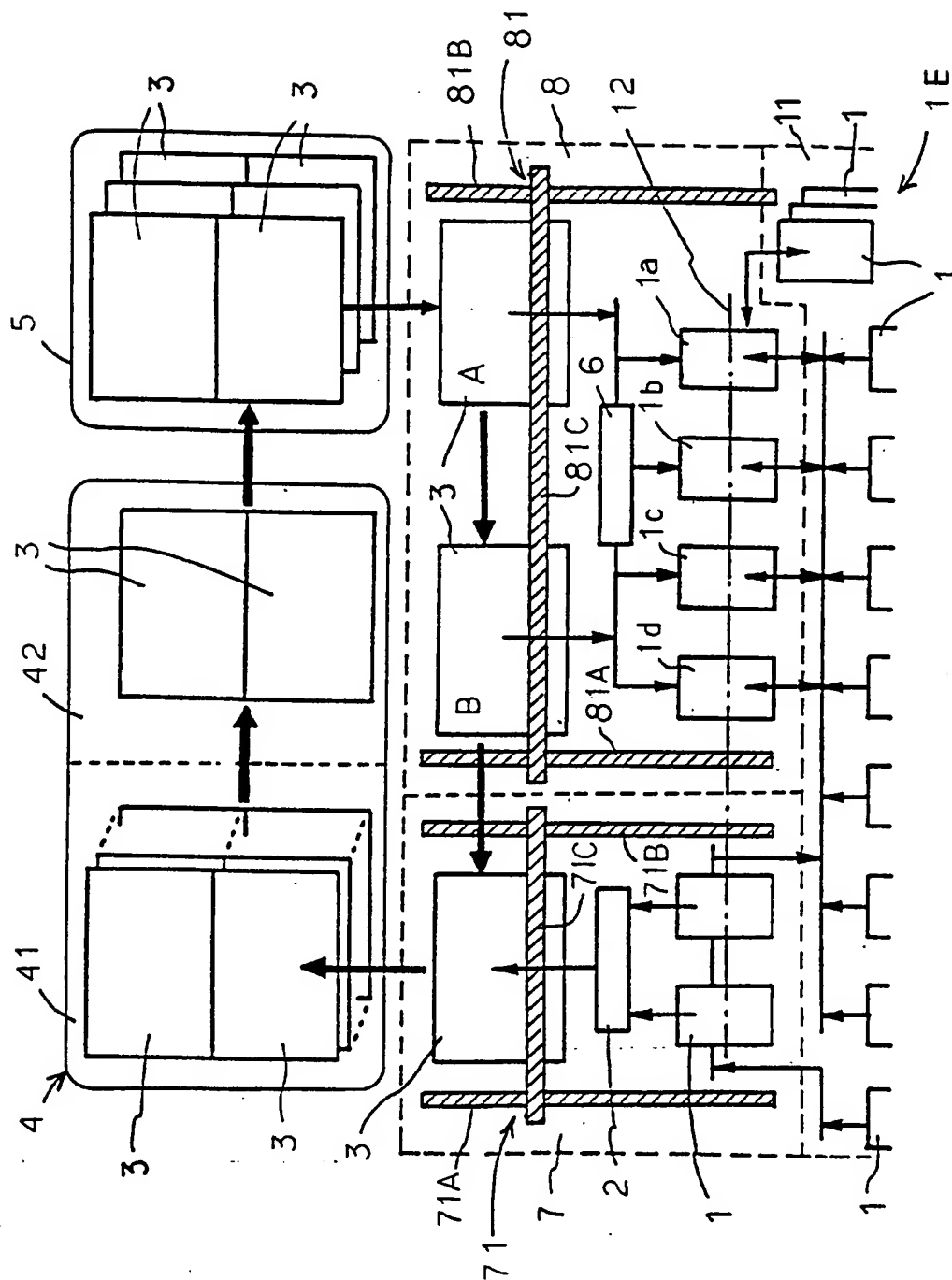
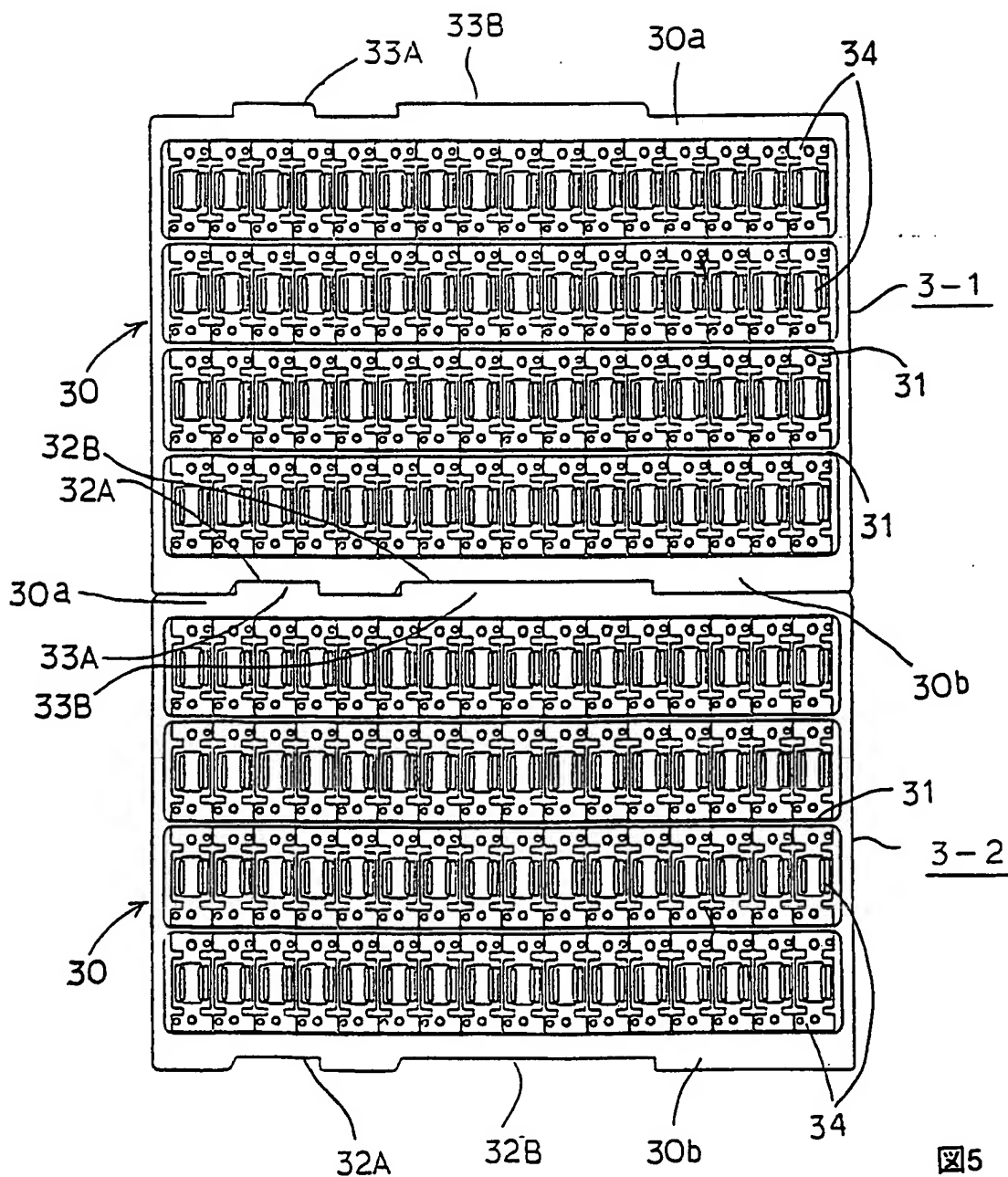
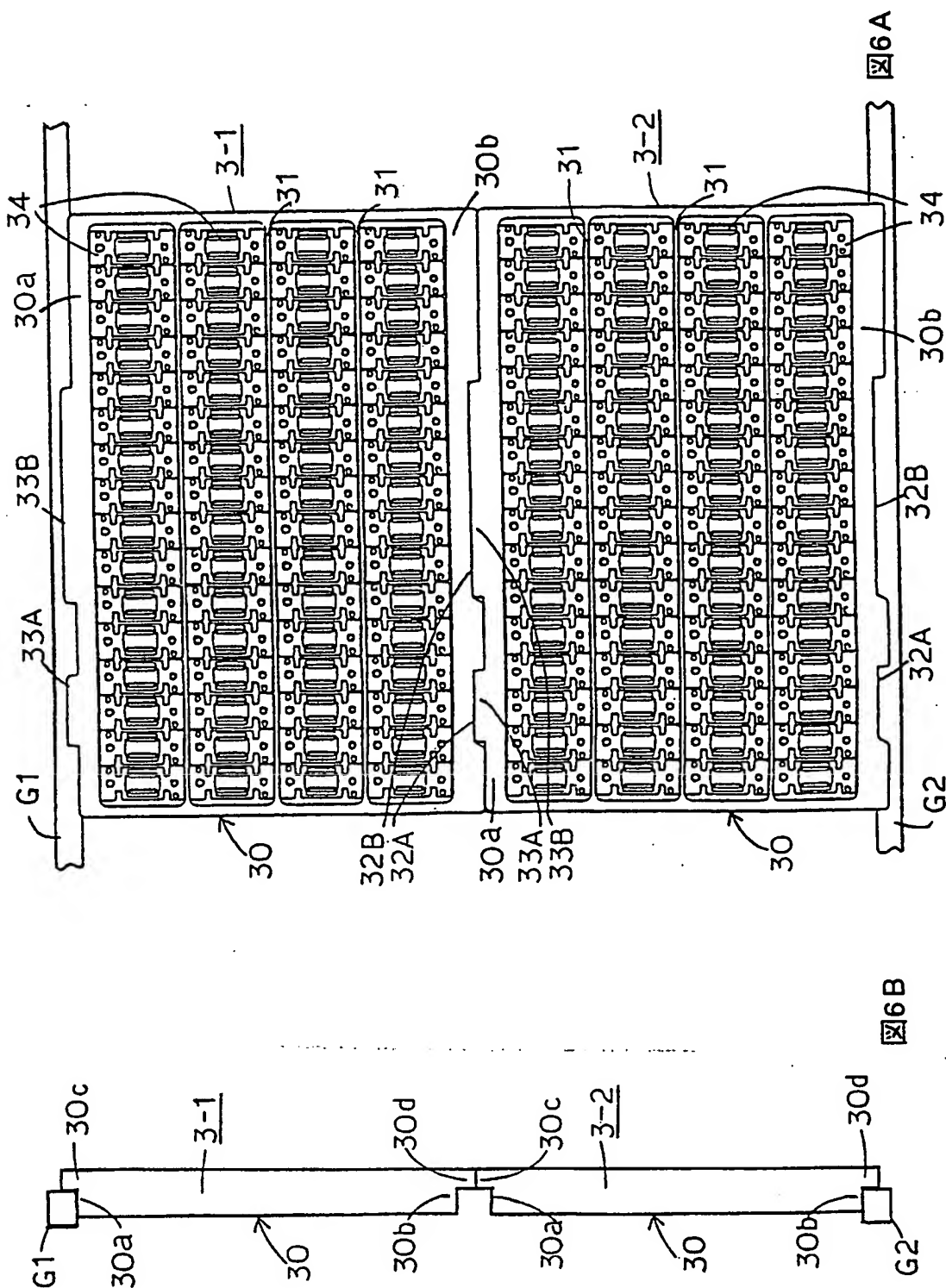


图4



5/14





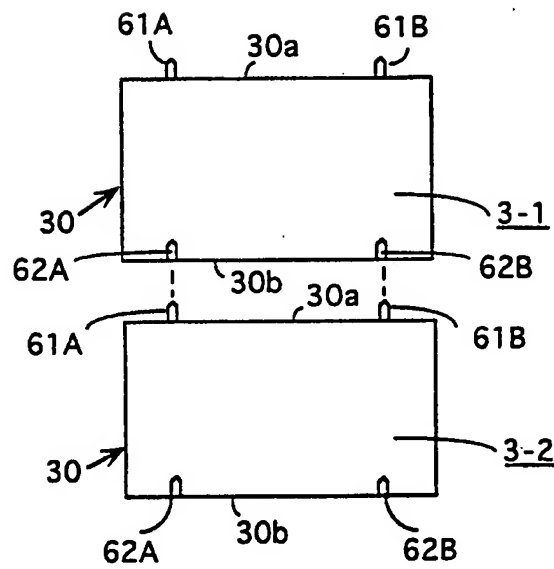
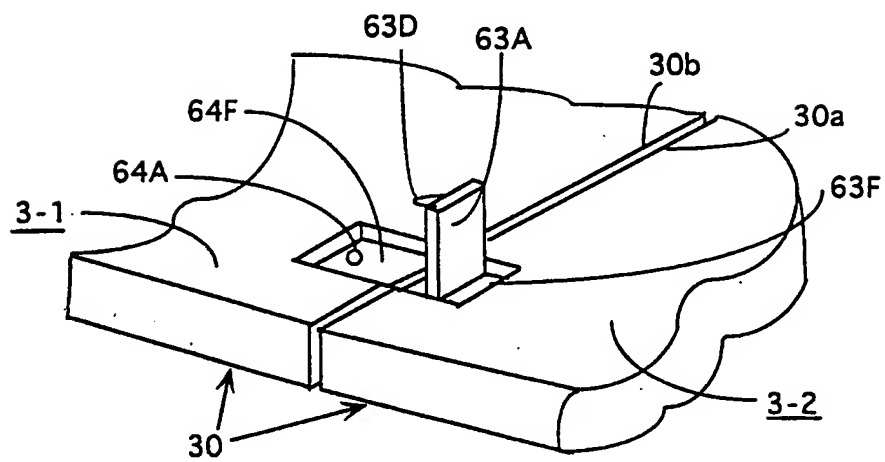


圖 7 A.



**図7 B**

8/14

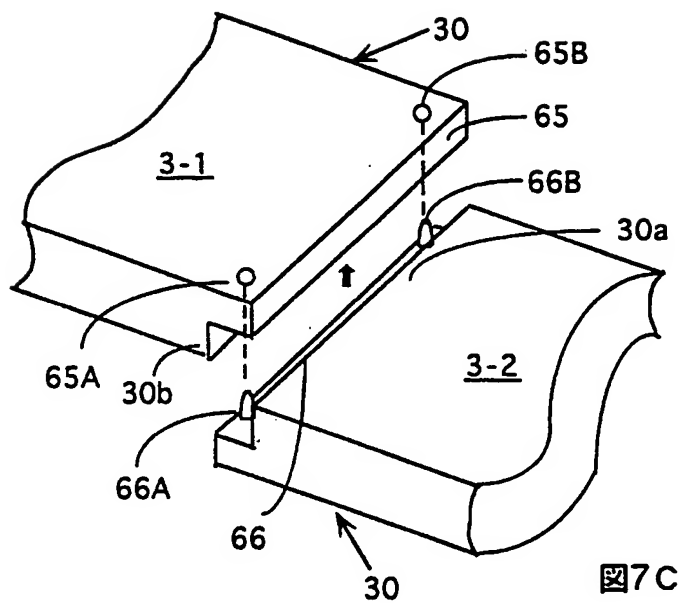


図7C

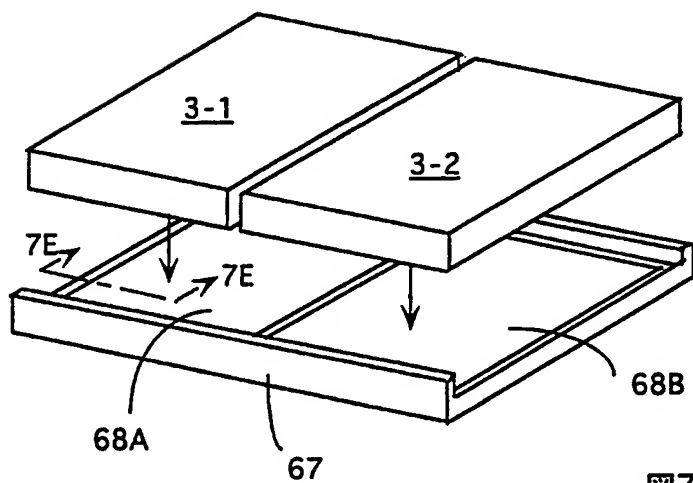


図7D

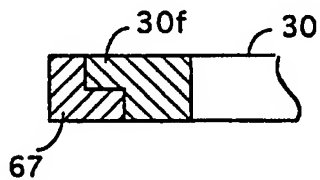


図7E

9/14

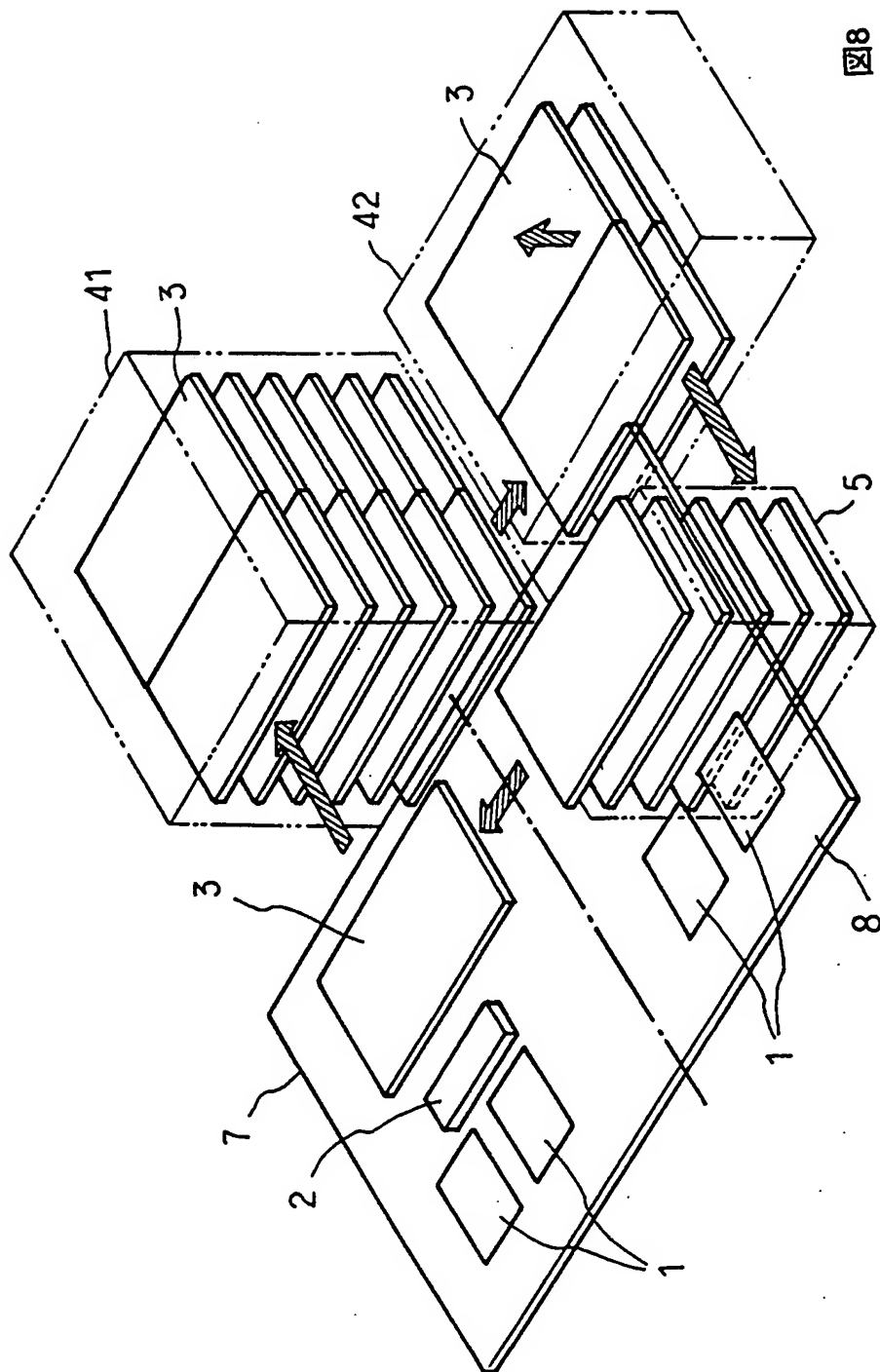


図8

10/14

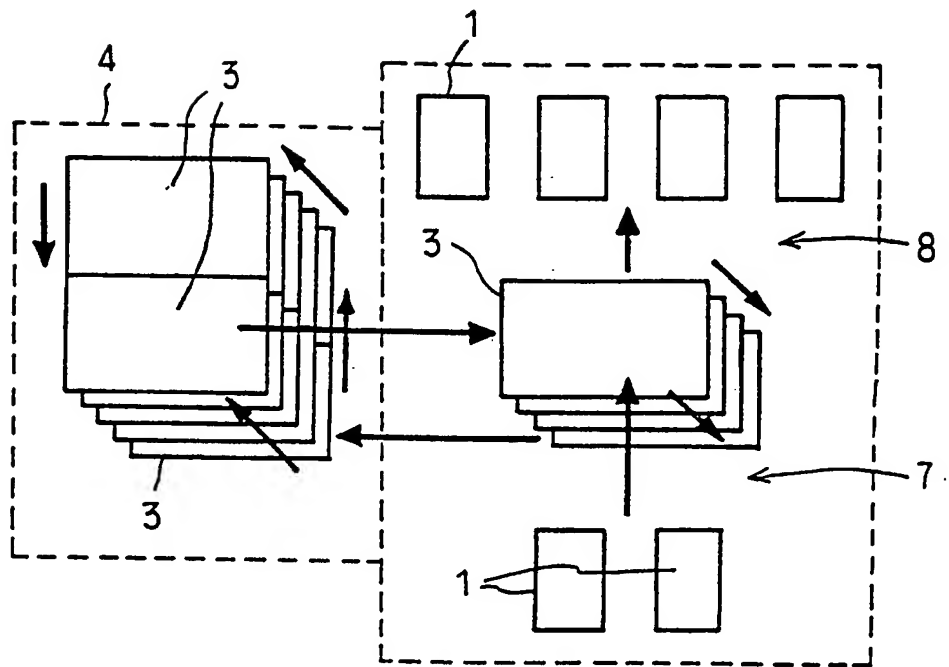


図9

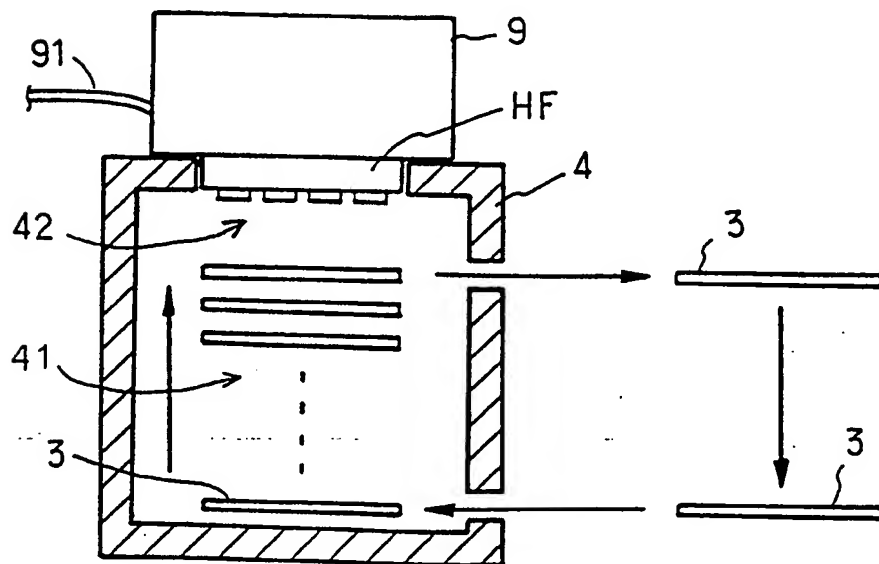


図10



12/14

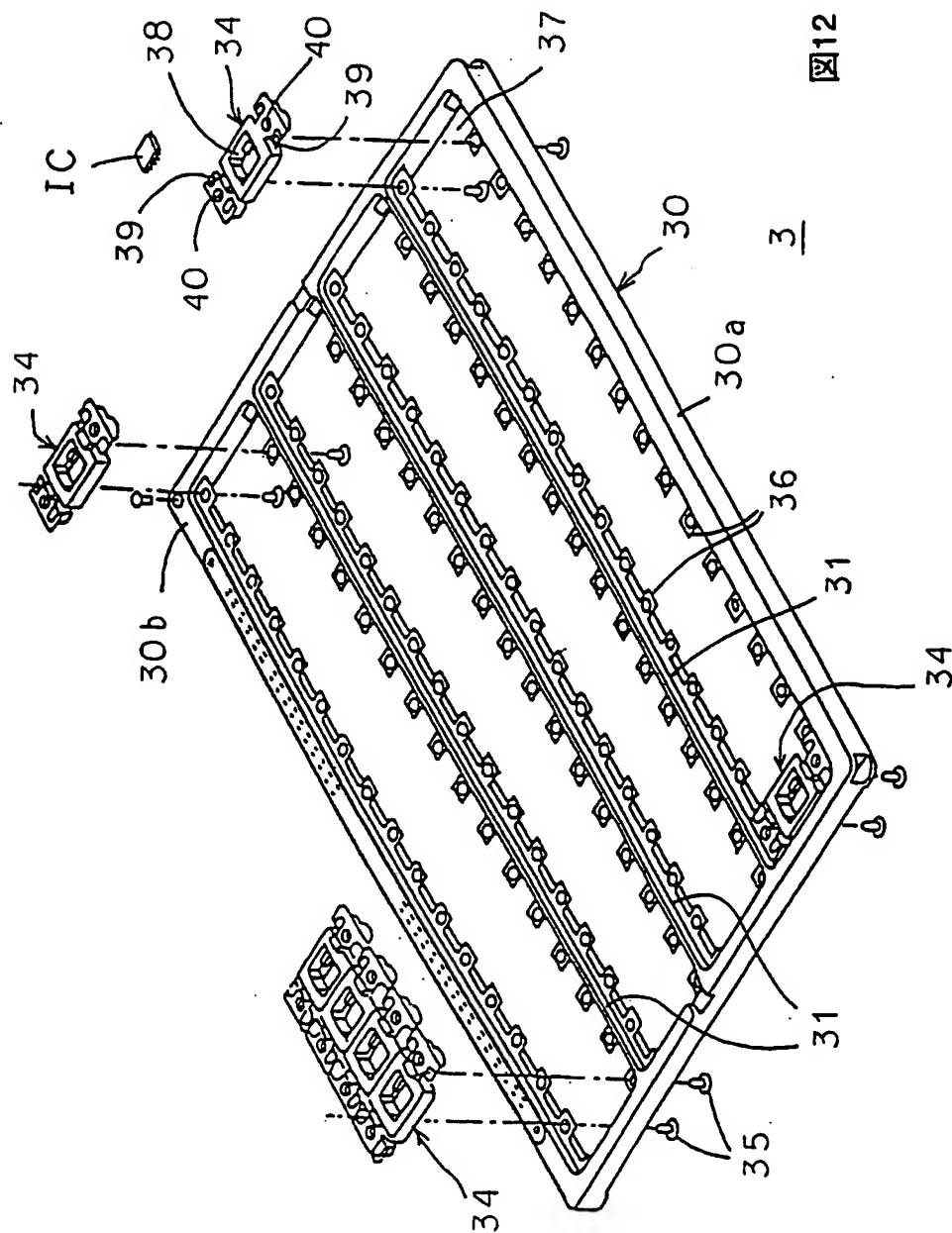


図12



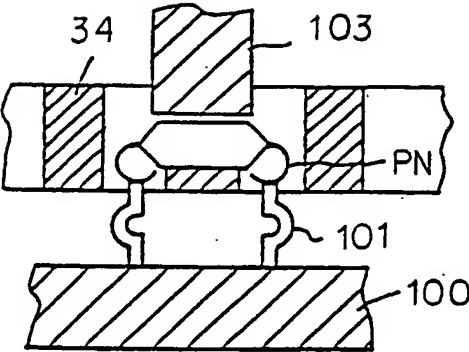


図13

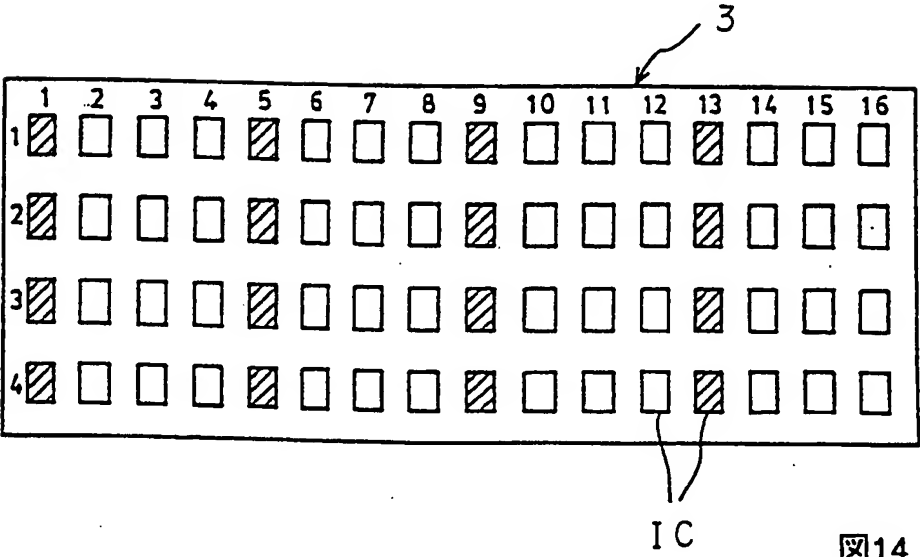


図14

14/14

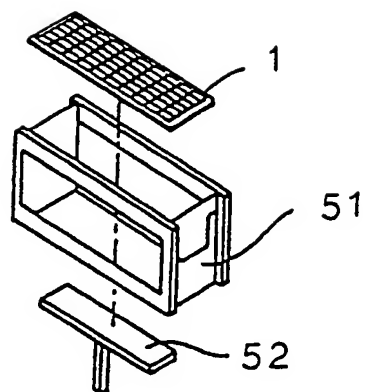


図15

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02979

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl <sup>6</sup> G01R31/26		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>6</sup> G01R31/26		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1940-1996 Toroku Jitsuyo Shinan Koho 1994-1998 Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 7-218581, A (Toshiba Corp.), 18 August, 1995 (18. 08. 95), Full text ; Figs. 1 to 8	1, 3
Y	Full text ; Figs. 1 to 8	4-13
A	Full text ; Figs. 1 to 8 (Family: none)	2, 14-64
Y	JP, 9-152466, A (Advantest Corp.), 10 June, 1997 (10. 06. 97), Full text ; Figs. 1 to 12	4-13
A	Full text ; Figs. 1 to 12 (Family: none)	1-3, 14-64
A	JP, 6-27192, A (Sym-Tek systems, Inc., Advantest Corp.), 4 February, 1994 (04. 02. 94), Full text ; Figs. 1 to 12 (Family: none)	1-64
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 September, 1998 (14. 09. 98)		Date of mailing of the international search report 29 September, 1998 (29. 09. 98)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>o</sup> G01R31/26

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>o</sup> G01R31/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1940-1996年  
 日本国公開実用新案公報 1971-1998年  
 日本国登録実用新案公報 1994-1998年  
 日本国実用新案登録公報 1996-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	J P, 7-218581, A (株式会社東芝) 18. 8月. 1995 (18. 08. 95) 全文, 第1-8図 全文, 第1-8図 全文, 第1-8図 (ファミリーなし)	1, 3 4-13 2, 14-64
Y A	J P, 9-152466, A (株式会社アドバンテスト) 10. 6月. 1997 (10. 06. 97) 全文, 第1-12図 全文, 第1-12図 (ファミリーなし)	4-13 1-3, 14-64

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 先行文献ではあるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

14. 09. 98

国際調査報告の発送日

29.09.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中村 直行



2G

9214

電話番号 03-3581-1101 内線 3226

## C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 6-27192, A (シーンテク システムズ インコーポ レイティド, 株式会社アドバンテスト) 4. 2月. 1994 (04. 02. 94) 全文, 第1-12図 (ファミリーなし)	1-64

様式PCT/ISA/210 (第2ページの続き) (1992年7月)